

**UNIVERSIDADE DE BRASÍLIA
FACULDADE DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**ANÁLISE COMPARATIVA ENTRE INTERCONEXÕES DE
NANOTUBO DE CARBONO E INTERCONEXÕES DE
COBRE PARA CIRCUITOS GSI/TSI**

CAMILA PEIXOTO DA SILVA MADEIRA NOGUEIRA

ORIENTADORA: JANAINA GONÇALVES GUIMARÃES

**DISSERTAÇÃO DE MESTRADO EM ENGENHARIA DE SISTEMAS
ELETRÔNICOS E DE AUTOMAÇÃO**

PUBLICAÇÃO: PPGEA.DM – 488/2012

BRASÍLIA/DF: SETEMBRO – 2012

**UNIVERSIDADE DE BRASÍLIA
FACULDADE DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**ANÁLISE COMPARATIVA ENTRE INTERCONEXÕES DE
NANOTUBO DE CARBONO E INTERCONEXÕES DE COBRE PARA
CIRCUITOS GSI/TSI**

CAMILA PEIXOTO DA SILVA MADEIRA NOGUEIRA

**DISSERTAÇÃO DE MESTRADO ACADÊMICO SUBMETIDA AO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA DA FACULDADE
DE TECNOLOGIA DA UNIVERSIDADE DE BRASÍLIA COMO
PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO
GRAU DE MESTRE.**

APROVADA POR:

**Prof^ª Janaina Gonçalves Guimarães, Dr^a., PGEA/UnB
(Orientadora)**

**Prof. Sandro Augusto Pavlik Haddad, Dr., FGA/UnB
(Examinador Interno)**

**Prof. Stefan Michael Blawid, Dr., ENE/UnB
(Examinador Externo)**

BRASÍLIA/DF, 27 DE SETEMBRO DE 2012

FICHA CATALOGRÁFICA

NOGUEIRA, CAMILA PEIXOTO DA SILVA MADEIRA

Análise Comparativa entre Interconexões de Nanotubo de Carbono e Interconexões de Cobre para Circuitos GSI/TSI [Distrito Federal] 2012.

xiii, 72p., 210 x 297 mm (ENE/FT/UnB, Mestre, Engenharia de Sistemas Eletrônicos e de Automação, 2012).

Dissertação de Mestrado – Universidade de Brasília. Faculdade de Tecnologia.

Departamento de Engenharia Elétrica.

1.Nanoeletônica

2.Interconexão

3.Nanotubo de carbono

4.Transistor mono-elétron

I. ENE/FT/UnB

II. Título (série)

REFERÊNCIA BIBLIOGRÁFICA

NOGUEIRA, C. P. S. M. (2012). Análise Comparativa entre Interconexões de Nanotubo de Carbono e Interconexões de Cobre para Circuitos GSI/TSI. Dissertação de Mestrado em Engenharia de Sistemas Eletrônicos e de Automação, Publicação PPGEA.DM-488/2012, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 72p.

CESSÃO DE DIREITOS

AUTORA: Camila Peixoto da Silva Madeira Nogueira.

TÍTULO: Análise Comparativa entre Interconexões de Nanotubo de Carbono e Interconexões de Cobre para Circuitos GSI/TSI.

GRAU: Mestre

ANO: 2012

É concedida à Universidade de Brasília permissão para reproduzir cópias desta dissertação de mestrado e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. A autora reserva outros direitos de publicação e nenhuma parte dessa dissertação de mestrado pode ser reproduzida sem autorização por escrito do autor.

Camila Peixoto da Silva Madeira Nogueira
SQS 216 bloco J apto 305, Asa Sul.
70.295-100 Brasília – DF – Brasil.

DEDICATÓRIA

A Deus.

AGRADECIMENTOS

Agradeço a todas as pessoas que fizeram parte, de alguma forma, de mais essa etapa da minha vida. À minha família e aos meus amigos, muito obrigada.

Gostaria de destacar duas pessoas, em especial, que me ajudaram bastante neste processo: Janaina e Bianca. Deus colocou esses dois anjos perto de mim em um período crucial da minha vida. Sem elas, esta etapa teria sido muito mais difícil. Agradeço à Janaina por todo auxílio que me deu nesta dissertação e pelas palavras de carinho quando eu mais precisei. Agradeço à Bi por ser essa amiga querida e sincera, sempre me apoiando em tudo. Obrigada por tudo.

Sem dúvida a providência divina, me apontando o caminho, foi o que me fez chegar até aqui. Obrigada meu Senhor, meu Deus, por mais essa conquista.

RESUMO

ANÁLISE COMPARATIVA ENTRE INTERCONEXÕES DE NANOTUBO DE CARBONO E INTERCONEXÕES DE COBRE PARA CIRCUITOS GSI/TSI

Autora: Camila Peixoto da Silva Madeira Nogueira

Orientadora: Janaina Gonçalves Guimarães

**Programa de Pós-Graduação em Engenharia de Sistemas Eletrônicos e de Automação
Brasília, setembro de 2012.**

Nesta dissertação será realizado o estudo de nanotubos de carbono como possíveis substitutos do cobre em interconexões em circuitos integrados GSI e TSI. Dessa forma, os modelos de circuitos do SWCNT (*single-walled carbon nanotube*) e do cobre serão apresentados e o estudo comparativo do desempenho destes materiais será realizado, considerando diferentes comprimentos das interconexões. Além disso, o efeito destas interconexões será analisado na rede *H-tree clock* com inversores em seus terminais, também para diferentes comprimentos. Os inversores utilizados são formados por dispositivos de tunelamento mono-elétron. Com este propósito, as interconexões serão simuladas usando o *software* LTSPICE.

ABSTRACT

COMPARATIVE ANALYSIS BETWEEN CARBON NANOTUBE INTERCONNECTS AND COPPER INTERCONNECTS FOR GSI/TSI CIRCUITS

Author: Camila Peixoto da Silva Madeira Nogueira

Supervisor: Janaina Gonçalves Guimarães

**Programa de Pós-Graduação em Engenharia de Sistemas Eletrônicos e de Automação
Brasília, September 2012.**

In this work, carbon nanotubes as possible candidates to replace copper as interconnects in GSI and TSI integrated circuits are studied. The circuit model of SWCNT (single-walled carbon nanotube) and of copper are presented and a comparison between both materials is studied, considering different interconnect lengths. In addition, interconnects effect is analyzed in the *H-tree clock* network using inverters in its ends. The inverters are formed by mono-electron tunneling devices. For this purpose, the interconnects will be simulated using LTSPICE software.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	OBJETIVOS.....	2
1.2	ORGANIZAÇÃO.....	2
2	FUNDAMENTAÇÃO TEÓRICA.....	3
2.1	INTERCONEXÕES	14
2.1.1	<i>Limitações do cobre em relação ao CNT</i>	3
2.1.2	<i>Características do CNT</i>	3
2.1.3	<i>Modelos de Interconexão</i>	6
2.1.3.1	Modelo de interconexão de SWCNT isolado.....	6
2.1.3.2	Modelo de interconexão de SWCNT <i>bundle</i>	8
2.1.3.3	Modelo de interconexão de cobre.....	11
2.2	INVERSOR MONO-ELÉTRON	14
2.2.1	<i>Dispositivo de tunelamento mono-elétron</i>	14
2.2.2	<i>Estrutura do inversor mono-elétron</i>	18
2.3	CLOCKING DE SISTEMAS DE ALTA VELOCIDADE.....	19
2.3.1	<i>H-tree clock</i>	21
2.4	MEDIDAS DE DESEMPENHO NA ANÁLISE DAS INTERCONEXÕES.....	22
2.4.1	<i>Velocidade máxima - análise na frequência</i>	22
2.4.2	<i>Atenuação</i>	23
2.4.3	<i>Tempo de atraso</i>	23
2.4.4	<i>Potência dissipada</i>	23
2.4.5	<i>Produto atraso-potência</i>	24
2.4.6	<i>Slew rate</i>	24
2.5	LTSPICE	24
3	METODOLOGIA.....	26
3.1	INTRODUÇÃO.....	26
3.2	ETAPAS E ESTRATÉGIAS ADOTADAS	26
3.2.1	<i>Simulação das interconexões</i>	26
3.2.2	<i>Simulação do inversor mono-elétron</i>	28
3.2.3	<i>Simulação do H-tree clock mono-elétron</i>	28

4	RESULTADOS E ANÁLISES	31
4.1	INTRODUÇÃO.....	31
4.2	ANÁLISE DAS INTERCONEXÕES	31
4.2.1	<i>Interconexões Locais</i>	<i>31</i>
4.2.2	<i>Interconexões Intermediárias</i>	<i>35</i>
4.3	SIMULAÇÃO DO INVERSOR MONO-ELÉTRON.....	37
4.4	ANÁLISE DAS INTERCONEXÕES NO <i>H-TREE CLOCK</i> MONO-ELÉTRON. 39	
4.4.1	<i>Análise da rede com interconexões ideais.....</i>	<i>39</i>
4.4.2	<i>Análise da rede com interconexões não-ideais</i>	<i>41</i>
4.4.2.1	<i>Análise da rede a 10 GHz</i>	<i>41</i>
4.4.2.2	<i>Análise da rede a 100 GHz</i>	<i>42</i>
4.4.3	<i>Considerações Finais</i>	<i>44</i>
5	CONCLUSÕES.....	46
6	REFERÊNCIAS BIBLIOGRÁFICAS	47
7	APÊNDICES	53
7.1	TABELAS COMPLEMENTARES.....	53
8	ANEXOS	57
8.1	CÓDIGO SPICE DO SET [44]	57

LISTA DE FIGURAS

Figura 2.1. Estrutura de uma lâmina de grafeno (esquerda), do SWCNT (meio) e do MWCNT (direita) [13]..	4
Figura 2.2. Estrutura do SWCNT <i>bundle</i> [16]	4
Figura 2.3. Estrutura do (i) armchair, (ii) zig-zag e (iii) quirál [24]..	5
Figura 2.4. Modelo de interconexão do SWCNT isolado (modificado de [33])..	8
Figura 2.5. Separação mínima entre CNTs devido à força de Van der Waals (modificado de [13])..	9
Figura 2.6. Número de CNTs ao longo da largura (nW) e da altura (nH) do CNT bundle [13]..	10
Figura 2.7. Modelo de interconexão de cobre..	13
Figura 2.8. Símbolo e tabela verdade da porta NOT..	14
Figura 2.9. Dois eletrodos separados por uma ilha [10]..	15
Figura 2.10. Esquemático da junção-túnel [10]..	15
Figura 2.11. Diagramas de energia: (a) Bloqueio de Coulomb, (b) Tunelamento mono-elétron [10]..	16
Figura 2.12. Característica do bloqueio de Coulomb [10]..	17
Figura 2.13. Transistor mono-elétron [10]..	18
Figura 2.14. Característica corrente(I) <i>versus</i> tensão (V_g) do transistor mono-elétron [10]	18
Figura 2.15. Esquemático do inversor utilizando SETs (modificado de [4])..	19
Figura 2.16. Estruturas comuns de redes de distribuição de <i>clock</i> [45]..	20
Figura 2.17. Esquemático do <i>H-tree clock</i> simétrico (modificado de [46])..	21
Figura 2.18. Gráfico do módulo do ganho pela frequência típico do comportamento de interconexões..	22
Figura 3.1. Circuito simulado para cada interconexão..	27
Figura 3.2. Fluxograma das etapas seguidas na simulação das interconexões..	28
Figura 3.3. Esquemático do <i>H-tree clock</i> com os comprimentos de cada seguimento..	29
Figura 3.4. Fluxograma das etapas seguidas na simulação do <i>H-tree clock</i> ..	30
Figura 4.1. Frequência <i>versus</i> comprimento das interconexões locais..	32
Figura 4.2. Gráficos da magnitude das interconexões de SWCNT isolado (superior), SWCNT <i>bundle</i> (meio) e cobre (inferior) com comprimento de 100nm..	34
Figura 4.3. Frequência <i>versus</i> comprimento das interconexões intermediárias..	35

Figura 4.4. Esquemático do SET e os valores de seus parâmetros.....	37
Figura 4.5. Esquemático do inversor mono-elétron e os valores de seus parâmetros (modificado de [4]).....	38
Figura 4.6. Curva do sinal de entrada (em verde) e do sinal de saída (em preto) do inversor mono-elétron.....	38
Figura 4.7. Sinal de entrada (em verde) e sinal de saída (em preto) da rede a 10 GHz... ..	40
Figura 4.8. Sinal de entrada (em verde) e sinal de saída (em preto) da rede a 100 GHz... .	40
Figura 4.9. Sinal de entrada (em verde) e sinal de saída (em preto) da rede a 100 GHz, para a interconexão 500nm/1µm de cobre... ..	44

LISTA DE TABELAS

Tabela 4.1. Frequência em -3dB de cada material, para $l_{CNT} \leq \lambda_{CNT}$	32
Tabela 4.2. Estudo das interconexões com comprimentos na faixa $l_{CNT} \leq \lambda_{CNT}$	33
Tabela 4.3. Estudo das interconexões SWCNT <i>bundle</i> e cobre com comprimentos na faixa $l_{CNT} \leq \lambda_{CNT}$	33
Tabela 4.4. Frequência em -3dB de cada material, para $l_{CNT} > \lambda_{CNT}$	36
Tabela 4.5. Estudo das interconexões com comprimentos na faixa $l_{CNT} > \lambda_{CNT}$	36
Tabela 4.6. Estudo das interconexões SWCNT <i>bundle</i> e cobre com comprimentos na faixa $l_{CNT} > \lambda_{CNT}$	37
Tabela 4.7. Características dos sinais de saída da rede para interconexões ideais	39
Tabela 4.8. Potência dissipada por cada porta inversora para interconexões ideais	40
Tabela 4.9. Frequência em -3dB na entrada da inversora, para interconexões não-ideais ..	41
Tabela 4.10. Níveis lógicos, tempo de subida e <i>slew rate</i> dos sinais de saída para interconexões não-ideais a 10 GHz	42
Tabela 4.11. Atenuação, atraso, potência e produto atraso-potência dos sinais de saída para interconexões não-ideais a 10 GHz	42
Tabela 4.12. Níveis lógicos, tempo de subida e <i>slew rate</i> dos sinais de saída para interconexões não-ideais a 100 GHz	43
Tabela 4.13. Atenuação, atraso, potência e produto atraso-potência dos sinais de saída para interconexões não-ideais a 100 GHz	43
Tabela 7.1. Parâmetros obtidos a partir do modelo de SWCNT isolado.....	53
Tabela 7.2. Parâmetros obtidos a partir do modelo de SWCNT <i>bundle</i>	53
Tabela 7.3. Parâmetros obtidos a partir do modelo de cobre.....	54
Tabela 7.4. Frequência em -3dB das interconexões locais.....	55
Tabela 7.5. Frequência em -3dB das interconexões intermediárias	56

LISTA DE SÍMBOLOS, NOMENCLATURA, ABREVIACIONES

CNT – *Carbon nanotube*;

CVD – *Chemical Vapor Deposition*;

GSI – *Giga Scale Integration*;

ITRS – *International Technology Roadmap for Semiconductors*;

LTSPICE – *Linear Technology SPICE simulator*;

MWCNT – *Multi-walled carbon nanotube*;

SET – *Singe-electron transistor*;

SPICE – *Simulated Program with Integrated Circuits Emphasis*;

SWCNT – *Single-walled carbon nanotube*;

TSI – *Tera Scale Integration*;

1 INTRODUÇÃO

O crescimento da microeletrônica e a conseqüente miniaturização dos circuitos integrados foram previstos por Gordon Moore, que enunciou que o número de transistores em um circuito integrado dobraria a cada 18 meses considerando a mesma área e custo, previsão conhecida como Lei de Moore. Devido aos problemas enfrentados pelos dispositivos microeletrônicos, gerados especialmente pelos efeitos quânticos que anteriormente eram desprezados, novas tecnologias, como a nanoeletrônica, vêm sendo estudadas para dar continuidade a esse processo de miniaturização dos dispositivos [1-10].

Além disso, a miniaturização de circuitos integrados tem resultado em grandes desafios no projeto de interconexões, que são responsáveis principalmente pelo carregamento da tensão de alimentação de cada transistor e pela distribuição dos sinais de dados. As limitações das interconexões, as quais podem provocar uma desaceleração nos progressos alcançados até hoje pela indústria de semicondutores, são fatores preocupantes. Como limitações das interconexões é importante citar o aumento da sua resistividade, aumento da capacitância de acoplamento entre vias, dificuldades no controle das suas dimensões, entre outras.

Assim, o estudo aprofundado das interconexões, levando em consideração principalmente seu desempenho, é de fundamental importância [11-13]. Novas tecnologias estão sendo estudadas para superar as limitações das interconexões de cobre no circuito, como a resistividade elétrica e a resistência à eletromigração, principalmente em tecnologias abaixo de 45nm. As interconexões óticas, as interconexões de radio frequência ou sem fio, e as interconexões de nanotubo de carbono (CNT) são algumas candidatas a substituir as interconexões de cobre, as quais são as interconexões mais utilizadas atualmente [13-17].

Dentre essas possibilidades, os CNTs possuem grandes vantagens para interconexões em circuitos integrados em escala GSI (*Giga Scale Integration*) e TSI (*Tera Scale Integration*) [18-20]. Eles são considerados soluções eficientes para melhorar as limitações do cobre, previstas pelo ITRS (*International Technology Roadmap for Semiconductors*) [21], como atraso, dissipação de potência e resistência à eletromigração.

1.1 OBJETIVOS

O objetivo desta dissertação é fazer um estudo comparativo entre o desempenho das interconexões de nanotubo de carbono e das interconexões de cobre. Com esse intuito, preliminarmente, o desempenho das interconexões de SWCNT (do inglês *single-walled carbon nanotube*), de SWCNT *bundle* (vários SWCNTs dispostos em paralelo, como uma corda) e de cobre será comparado, considerando diferentes comprimentos das interconexões.

Por fim, o efeito das interconexões de SWCNT *bundle* e de cobre será analisado na rede *H-tree clock* com inversores mono-elétron em seus terminais, também para diferentes comprimentos. Assim, será possível analisar se os nanotubos de carbono poderão substituir o cobre em interconexões em circuitos integrados GSI e TSI

1.2 ORGANIZAÇÃO

No capítulo 2 são apresentados os conceitos fundamentais necessários à correta compreensão desta pesquisa. Serão abordados conceitos referentes às interconexões de CNT e cobre, aos dispositivos de tunelamento mono-elétron e à estrutura do *H-tree clock*.

O capítulo 3 descreve a metodologia utilizada à realização do objeto de pesquisa desta dissertação. Assim, serão apresentadas as etapas que foram seguidas para analisar o efeito das interconexões em circuitos com transistores mono-elétron.

No capítulo 4, os resultados e análises das simulações das interconexões ideais e não-ideais, considerando o SWCNT, SWCNT *bundle* e o cobre são apresentados. As interconexões são analisadas também nos circuitos *H-tree clock*.

O capítulo 5 apresenta as conclusões e as recomendações para trabalhos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

2.1 INTERCONEXÕES

2.1.1 Limitações do cobre em relação ao CNT

As interconexões de cobre sofrem inúmeros problemas indesejados, que aumentam à medida que as interconexões diminuem de tamanho. Essa diminuição de tamanho resulta em interconexões menos eficientes, no maior consumo de potência, e no aumento da densidade de corrente transportada por cada interconexão [22]. De acordo com o ITRS [21], a densidade de corrente pode atingir valores na ordem de 10^7 A/cm². Este valor só é suportado por CNTs, uma vez que são capazes de suportar densidades de corrente na ordem de 10^{10} A/cm² [13,17].

Os CNTs têm provocado grande interesse nos cientistas desde a sua descoberta, em 1991 por Iijima, devido às excelentes propriedades elétricas, térmicas e mecânicas que possuem. Suas propriedades elétricas permitem que suportem densidades de até 10^{10} A/cm², sendo que o cobre suporta densidades inferiores a 10^7 A/cm² [13,17]. O caminho médio livre do CNT é superior ao do cobre, o que possibilita um transporte balístico por uma ampla gama de extensão e isso resulta em uma resistividade menor do CNT [13-17]. Além disso, a alta condutividade térmica do CNT, que é outra limitação do cobre, é de fundamental importância na aplicação em interconexões. Essas propriedades possibilitam uma tolerância do CNT à eletromigração, a qual é uma grande limitação no desempenho das interconexões de cobre [13,17,19].

2.1.2 Características do CNT

Os nanotubos de carbono podem ser formados por uma lâmina de grafeno enrolada, conhecida como SWCNT (*single-walled carbon nanotube*), ou por vários tubos concêntricos formando uma multicamada, conhecida por MWCNT (*multi-walled carbon nanotube*) [23,24]. A Figura 2.1 ilustra a estrutura de uma lâmina de grafeno, do SWCNT e do MWCNT.

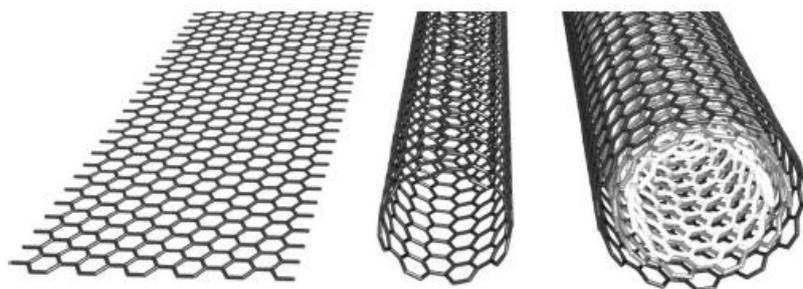


Figura 2.1 – Estrutura de uma lâmina de grafeno (esquerda), do SWCNT (meio) e do MWCNT (direita) [13].

É importante destacar que os MWCNTs são menos favoráveis para o uso em interconexões, já que eles apresentam caminho médio livre menor que os SWCNTs [13,17]. Como a resistência de um único SWCNT pode ter valores altos, é necessária a união de vários dispostos em paralelo, como uma corda, chamado de *bundle*, para diminuir o valor da resistência equivalente da interconexão [13,15]. A Figura 2.2 ilustra a estrutura do SWCNT *bundle* [16].

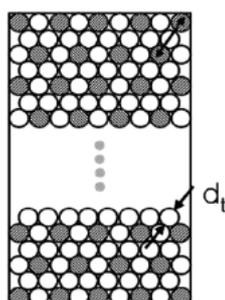


Figura 2.2 – Estrutura do SWCNT *bundle* [16].

Dependendo de como a lâmina é enrolada, que resulta no ângulo quiral e nos índices quirais de sua estrutura, o nanotubo pode ser metálico ou semicondutor [13,14,19]. Os índices quirais são identificados por (m,n) . O nanotubo será metálico quando a diferença entre os índices quirais for um múltiplo inteiro de 3, e será semicondutor nos outros casos [13]. A estrutura é chamada de *zig-zag* quando m ou n é igual a zero, podendo ser metálica ou semicondutora. Quando $m=n$, a estrutura é denominada *armchair*, sendo sempre metálica. Nos outros casos a estrutura é conhecida como quiral, e pode ser metálica ou semicondutora [24]. A Figura 2.3 mostra as estruturas do *armchair*, *zig-zag* e quiral [24].

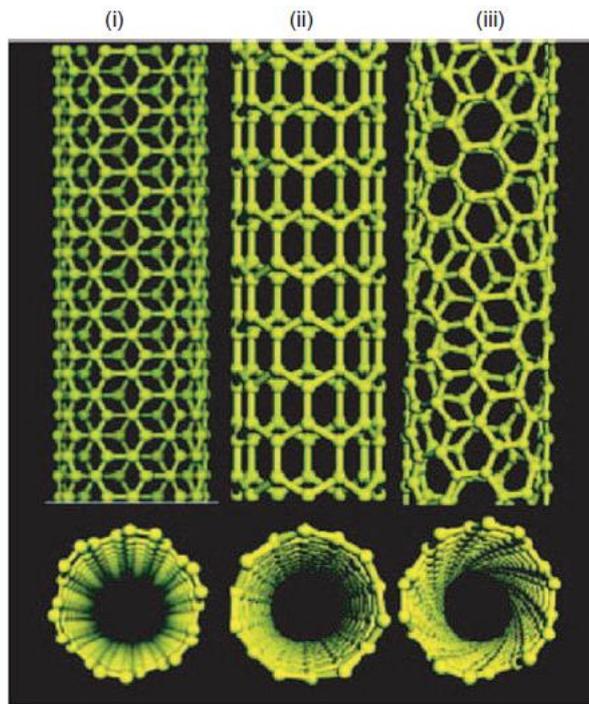


Figura 2.3 – Estrutura do (i) *armchair*, (ii) *zig-zag* e (iii) quiral [24].

De acordo com [22], o crescimento dos CNTs geralmente é realizado através de um dos seguintes métodos: descarga por arco elétrico, ablação a laser e deposição química a vapor, do inglês *chemical vapor deposition* – CVD. O processo de descarga por arco elétrico tem sido desenvolvido para preparar MWCNTs e SWCNTs de alta qualidade. Neste processo, átomos de carbono são evaporados com um gás de plasma inerte, caracterizado por altas correntes elétricas que passam entre os eletrodos opostos de carbono (cátodo e ânodo). Normalmente o ânodo do carbono contém uma pequena porcentagem de catalisador de metal, como o cobalto, níquel ou ferro. Já o método de ablação a laser utiliza um pulso duplo de lasers para evaporar varetas de grafite dopadas com uma mistura de cobalto e níquel em pó, colocado em um tubo aquecido a temperatura elevada, seguido de um tratamento térmico a vácuo.

Apesar dos métodos de descarga por arco elétrico e ablação a laser produzir grandes quantidades de CNTs de alta qualidade e oferecer uma ampla disponibilidade de CNTs para estudos e possíveis aplicações, existem várias preocupações associadas com estes dois métodos de crescimento [22]. Dessa forma, os métodos de CVD são bastante usados no crescimento de CNTs com aplicação em eletrônica, incluindo interconexões [13,22]. O processo de crescimento CVD envolve o aquecimento do catalisador a uma temperatura elevada e a introdução de gás de hidrocarboneto ou de monóxido de carbono para dentro

do reator. O mecanismo de crescimento do CNT tem sido considerado como um processo de dissociação-difusão-precipitação, em que o carbono é formado sobre a superfície de uma partícula de metal, seguida de difusão e precipitação sob a forma de grafeno cilíndrico [22].

2.1.3 Modelos de Interconexão

Para realizar uma comparação por simulação entre o desempenho do CNT e do cobre, modelos equivalentes de circuito de interconexões que reproduzam com fidelidade o seu comportamento físico são necessários. Com esse intuito, é fundamental que os fatores que interferem no desempenho das interconexões, como resistência, indutância, capacitância e comprimento, sejam considerados. A partir do estudo desses modelos, é possível verificar se as interconexões de CNT poderão substituir as de cobre, e os casos em que isso é possível.

2.1.3.1 Modelo de interconexão do SWCNT isolado

A resistência de um SWCNT isolado é composta por até três partes: resistência de contato entre o metal e o nanotubo (R_c), resistência quântica (R_q) e resistência de espalhamento (R_s) [19,23,25]. As resistências de contato e quântica são independentes do comprimento do nanotubo. Já a resistência de espalhamento depende do comprimento do nanotubo [26-31].

Quando o comprimento do SWCNT é menor ou igual ao caminho médio livre ($l_{CNT} \leq \lambda_{CNT}$), que é tipicamente 1 μm , o transporte de elétrons é essencialmente balístico e a resistência independe do comprimento do nanotubo [13,32]. No entanto, quando o comprimento do SWCNT é maior que o caminho médio livre ($l_{CNT} > \lambda_{CNT}$), há uma resistência adicional, que depende do comprimento do SWCNT, e é chamada de resistência de espalhamento [13-15]. Assim, a resistência total é dada pela equação (2.1), em que l_{CNT} é o comprimento do nanotubo de carbono.

$$R_{CNT} = \left\{ \begin{array}{l} R_c + R_q; \text{ se } : l_{CNT} \leq \lambda_{CNT} \\ R_c + R_q + R_s; \text{ se } : l_{CNT} > \lambda_{CNT} \end{array} \right\} \quad (2.1)$$

A resistência de contato pode chegar ao valor de 100 kΩ [13,15,33]. Contudo, essa resistência, em nanotubos de carbono com diâmetro maior que 1nm, está na ordem de poucos kilo ohms ou até mesmo centenas de ohms [13,16]. Neste trabalho, considerou-se o contato metal-nanotubo como sendo perfeito, ou seja, $R_c = 0$.

A resistência quântica e a de espalhamento são descritas pelas equações (2.2) e (2.3), respectivamente, onde e é a carga do elétron e h é a constante de Plank. A resistência quântica (R_q) é igualmente dividida em cada lado dos contatos metal-nanotubo [13-17,34,35].

$$R_q = \frac{h}{4e^2} = 6,45k\Omega \quad (2.2)$$

$$R_s = \frac{h}{4e^2} \left(\frac{l_{CNT}}{\lambda_{CNT}} \right) \quad (2.3)$$

O movimento de elétrons transportados por um condutor é modelado pela indutância, que consiste na indutância magnética e cinética [13,16]. No SWCNT, a indutância magnética é calculada considerando que o CNT é um fio muito fino, com diâmetro d , e está posicionado a uma distância y do plano ligado ao terra. A indutância cinética é calculada pela equação da energia cinética armazenada em cada canal condutor do CNT para uma indutância efetiva [14,15,35]. Assim, a indutância magnética (L_M) e a cinética (L_K) podem ser calculadas pelas equações (2.4) e (2.5), respectivamente.

$$L_M = \frac{\mu}{2\pi} \ln\left(\frac{y}{d}\right) \quad (2.4)$$

$$L_K = \frac{h}{2e^2 v_F} \quad (2.5)$$

Para $d = 1\text{nm}$ e $y = 1\mu\text{m}$, $L_M = 1.4\text{pH}/\mu\text{m}$ [14,15,29]. Como v_F é a velocidade de Fermi, cujo valor é dado por 8×10^5 m/s para o CNT, o valor da indutância cinética é $L_K = 16\text{nH}/\mu\text{m}$ [13-16,35]. Sabendo que cada CNT tem quatro canais condutores em paralelo que não interagem entre si, a indutância cinética efetiva é dada por $L_K/4$ [13-15]. Uma boa aproximação da indutância total do CNT (L_{CNT}) é $4 \text{ nH}/\mu\text{m}$ [15].

Por fim, a capacitância de um SWCNT isolado é constituída por duas partes que são a capacitância eletrostática (C_E) e a quântica (C_Q) [13-17,35]. Essas capacitâncias são calculadas pelas equações (2.6) e (2.7).

$$C_E = \frac{2\pi\epsilon}{\ln\left(\frac{y}{d}\right)} \quad (2.6)$$

$$C_Q = \frac{2e^2}{hv_F} \quad (2.7)$$

A capacitância eletrostática é influenciada pelo ambiente que a envolve, que são os seus vizinhos e o plano ligado ao terra. Considerando que o CNT é um fio com diâmetro $d = 1\text{nm}$ e a distância $y = 1\mu\text{m}$, obtém-se $C_E = 30\text{ aF}/\mu\text{m}$. Já a capacitância quântica se refere à influência da energia quântica armazenada no nanotubo quando este carrega corrente. O valor da capacitância é $C_Q = 100\text{ aF}/\mu\text{m}$ [13,14]. Considerando os quatro canais condutores descritos anteriormente, a capacitância total é dada por (2.8):

$$C_{CNT} = \frac{C_E \cdot 4C_Q}{C_E + 4C_Q} \quad (2.8)$$

Assim, o esquemático da interconexão de um SWCNT isolado é mostrado na Figura 2.4 abaixo:

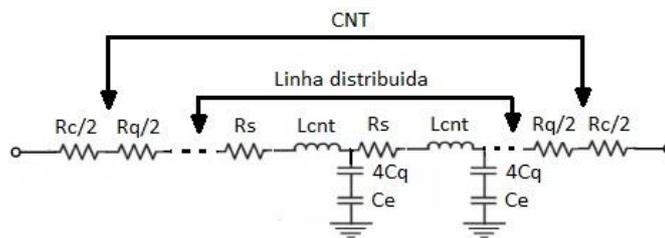


Figura 2.4 – Modelo de interconexão do SWCNT isolado (modificado de [33]).

2.1.3.2 Modelo de interconexão do SWCNT *bundle*

O SWCNT *bundle* possui resistência equivalente menor que o SWCNT isolado, característica necessária para alcançar performances comparáveis às interconexões de

cobre [13-20,23,25,26,29-38]. O SWCNT *bundle* é composto por vários SWCNTs empacotados em paralelo. Assume-se que todos os SWCNTs são idênticos, metálicos e que cada um tem o mesmo potencial [17,37]. Sabendo que d é o diâmetro do nanotubo de carbono e x é a distância entre os centros de dois nanotubos adjacentes, o SWCNT *bundle* pode ser empacotado de forma densa, se $x = d$, ou de forma esparsa, se $x > d$ [13-15,29-32]. Sabe-se que entre os nanotubos existe uma separação δ_{min} devido à força de Van der Waals, que é de pelo menos 0,32 nm entre cada nanotubo [13], como mostra a Figura 2.5.

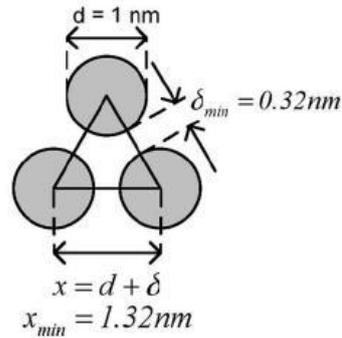


Figura 2.5 – Separação mínima entre CNTs devido à força de Van der Waals (modificado de [13]).

O número de nanotubos de carbono n_{CNT} disponível pode ser calculado pelas expressões dadas em (2.9) e (2.10) [14,15,30].

$$n_{CNT} = \left\{ \begin{array}{l} n_W n_H - \frac{n_H}{2}; \text{ se } : n_H \text{ par} \\ n_W n_H - \frac{n_H - 1}{2}; \text{ se } : n_H \text{ ímpar} \end{array} \right\} \quad (2.9)$$

$$n_W = \left[\frac{w - d}{x} \right]; n_H = \left[\frac{t - d}{\left(\frac{\sqrt{3}}{2} \right) x} \right] + 1 \quad (2.10)$$

Nas expressões acima, w é a largura e t é a altura da interconexão de SWCNT *bundle*. Assim, n_W é o número de CNTs ao longo da largura do SWCNT *bundle* e n_H é o número de CNTs ao longo da altura do SWCNT *bundle* [13-15,30]. A Figura 2.6 mostra esses valores [13].

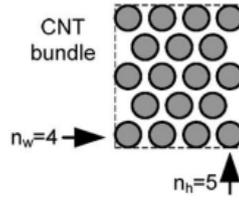


Figura 2.6 – Número de CNTs ao longo da largura (n_w) e da altura (n_h) do CNT *bundle*[13].

Na tecnologia de 22 nm, considerando as dimensões de 22 nm de largura e 44 nm de altura do SWCNT *bundle* [13,17,34,37] e a separação entre cada nanotubo devido à força de Van der Waals, a quantidade de SWCNTs é aproximadamente 600. Neste trabalho, estas considerações foram feitas e a tecnologia de 22 nm foi utilizada. Esta tecnologia é prevista pelo ITRS para o ano de 2016 [21].

As resistências de cada SWCNT estão em paralelo entre elas, assim como as indutâncias. Assim, a resistência e a indutância do SWCNT *bundle* com n_{CNT} SWCNTs são calculados, respectivamente, pelas expressões (2.11) e (2.12) [13,23,25,26,29-32,34].

$$R_{bundle} = \frac{R_{CNT}}{n_{CNT}} \quad (2.11)$$

$$L_{bundle} = \frac{L_{CNT}}{n_{CNT}} \quad (2.12)$$

Considerando que todos os SWCNTs estão no mesmo potencial, que os contatos entre todos os nanotubos de carbono em um *bundle* são idênticos e que cada SWCNT tem o mesmo caminho médio livre [13], é possível assumir que a interação entre CNTs adjacentes de um SWCNT *bundle* é fraca e que eles carregam correntes independentes umas das outras [13-17].

A capacitância do SWCNT *bundle* é obtida a partir da combinação da capacitância quântica de todos os SWCNTs em paralelo, chamada de capacitância quântica *bundle* (C_Q^{bundle}), que está em série com a capacitância eletrostática (C_E^{bundle}) [13,14,35,39]. A capacitância quântica e a capacitância eletrostática são calculadas pelas equações (2.13) e (2.14), em que C_{En} e C_{Ef} são as capacitâncias de placas paralelas de CNTs isolados em

relação aos vizinhos próximos e afastados, respectivamente [14,29,30,32]. Assim, a capacitância total do SWCNT *bundle* é obtida pela equação (2.15).

$$C_Q^{bundle} = C_Q^{CNT} \cdot n_{CNT} \quad (2.13)$$

$$C_E^{bundle} = 2C_{En} + \frac{n_W - 2}{2} C_{Ef} + \frac{3(n_H - 2)}{5} C_{En} \quad (2.14)$$

$$C_{bundle} = \frac{C_E^{bundle} \cdot C_Q^{bundle}}{C_E^{bundle} + C_Q^{bundle}} \quad (2.15)$$

Analisando a equação (2.15), o efeito da C_Q^{bundle} é pequeno para grandes valores de n_{CNT} , sendo o valor da capacitância do SWCNT *bundle* aproximadamente igual à sua capacitância eletrostática [13,16,17,19]. Srivastava et. al. [13] mostra que os nanotubos no interior do SWCNT *bundle* são blindados eletrostaticamente dos condutores de terra, podendo ser desprezados. Os CNTs de borda são os principais contribuidores para a capacitância eletrostática do SWCNT *bundle*. No entanto, a equação (2.14) não reproduz fielmente a realidade, já que considera a capacitância eletrostática de todos os nanotubos e não só os CNTs de borda. Segundo o mesmo autor, para a tecnologia de 22 nm e uma constante dielétrica igual a 2, a capacitância total do SWCNT *bundle* é aproximadamente 135 aF/ μm .

2.1.3.3 Modelo de interconexão do cobre

As propriedades físicas de interconexões de cobre podem ser descritas por resistência, capacitância e indutância [14-16]. A resistência do cobre pode ser calculada utilizando a equação (2.16),

$$R_{Cu} = \frac{\rho \cdot l}{w \cdot t} \quad (2.16)$$

em que l é o comprimento do cobre, w é a sua largura, t é a sua altura e ρ é a sua resistividade. A resistividade do cobre, em escala nanométrica, é moldada pela combinação dos fenômenos de espalhamento superficial e de espalhamento de contorno [15,16,27,28,33,40]. Estes fenômenos correspondem aos parâmetros ρ_{FS} e ρ_{MS} , propostos

por Fuchs e Sondheimer (ρ_{FS}) e por Mayadas e Shatzkes (ρ_{MS}) [15,16]. Estes parâmetros são calculados pelas expressões (2.17), (2.18) e (2.19).

$$\frac{\rho_{FS}}{\rho_o} = \left(1 + \frac{3}{4} \cdot \frac{\lambda_o}{w} (1-p) \right) \quad (2.17)$$

$$\frac{\rho_o}{\rho_{MS}} = \left(1 + \frac{3}{2} \cdot \alpha + 3\alpha^2 - 3\alpha^2 \ln \left(1 + \frac{1}{\alpha} \right) \right) \quad (2.18)$$

$$\alpha = \frac{\lambda_o}{D} \cdot \frac{R}{(1-R)} \quad (2.19)$$

O parâmetro ρ_o é a resistividade do material, λ_o é o caminho médio livre, p é o parâmetro de espalhamento de Fuchs, D é o tamanho médio e R é o coeficiente de reflexão no contorno com valores entre 0 e 1. Assim, tem-se que a resistência do cobre em escala nanométrica é dada pela equação (2.20) [15,16].

$$R_{Cu} = \frac{(\rho_{FS} + \rho_{MS}) \cdot l}{w \cdot t} \quad (2.20)$$

De acordo com [14,33], o valor da resistividade do cobre na tecnologia de 22nm para interconexões locais é dado por 4,666 $\mu\Omega$ -cm. No entanto, este valor da resistividade do cobre chega a 5,8 $\mu\Omega$ -cm para valores mínimos da largura do fio [15,16,20,39,40]. Neste trabalho será utilizado o valor de 5,8 $\mu\Omega$ -cm para a resistividade do cobre na tecnologia de 22 nm, que vai ao encontro dos requerimentos do ITRS [21].

A indutância própria (L) e a mútua (M) da interconexão de cobre em escala nanométrica são obtidas usando, respectivamente, as expressões (2.21) e (2.22),

$$L = \frac{\mu_o \cdot l}{2\pi} \left[\ln \left(\frac{2l}{w+t} \right) + \frac{1}{2} + \frac{0,22(w+t)}{l} \right] \quad (2.21)$$

$$M = \frac{\mu_o \cdot l}{2\pi} \left[\ln \left(\frac{2l}{s} \right) - 1 + \frac{s}{l} \right] \quad (2.22)$$

em que t é a altura do fio, μ_o é a permeabilidade e s é o espaçamento entre os fios [14-16]. A indutância total do cobre (L_{Cu}) é dada pela soma das indutâncias própria e mútua.

A capacitância da interconexão de cobre é calculada pela soma da capacitância de acoplamento entre dois fios adjacentes (C_c) e a capacitância ligada ao plano do terra (C_g) [14-16]. Essas capacitâncias podem ser obtidas pelas equações (2.23) e (2.24) [15,41],

$$C_g = \varepsilon \cdot \left(\frac{w}{h} + 2.22 \left(\frac{s}{s+0.7h} \right)^{3.19} + 1.17 \left(\frac{s}{s+1.51h} \right)^{0.76} \cdot \left(\frac{t}{t+4.53h} \right)^{0.12} \right) \quad (2.23)$$

$$C_c = \varepsilon \cdot \left(1.14 \frac{t}{s} \left(\frac{h}{h+2.06s} \right)^{0.09} + 0.74 \left(\frac{w}{w+1.59s} \right)^{1.14} + 1.16 \left(\frac{w}{w+1.87s} \right)^{0.16} \cdot \left(\frac{h}{h+0.98s} \right)^{1.18} \right) \quad (2.24)$$

em que s é o espaçamento entre dois fios adjacentes, h é a distância do fio em relação ao plano do terra e ε é a permissividade relativa para uma dada constante dielétrica. Considerando as equações (2.23) e (2.24) e de acordo com [13,21], para uma constante dielétrica igual a 2, o valor da capacitância total do cobre (C_{Cu}) é aproximadamente 150 aF/ μm , que será utilizado neste trabalho.

Os modelos em L, em π e em T são usados como modelos de interconexão de cobre [11]. Como o modelo π é muito utilizado para uma linha distribuída [14,16], este modelo será usado neste trabalho. A Figura 2.7 mostra o modelo de interconexão de cobre [11].

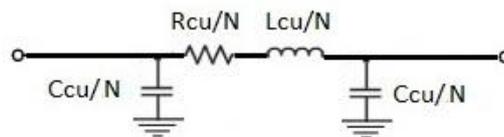


Figura 2.7 – Modelo de interconexão de cobre.

A precisão do modelo é determinada pelo número de segmentos ‘N’ que ele possui. Uma cadeia com mais de três segmentos em π fornece um erro menor que 3% [16]. Neste trabalho, serão utilizados três segmentos em π .

2.2 INVERSOR MONO-ELÉTRON

Os dispositivos de tunelamento mono-elétron são dispositivos nanoeletrônicos potencialmente aplicáveis em circuitos integrados em escala giga (GSI) e tera (TSI). Apesar de apresentarem baixo ganho e alta impedância de saída, estes dispositivos possuem tamanho reduzido e baixa dissipação de potência. Estas características os tornam atrativos em circuitos lógicos e circuitos de memória [1-10]. Assim, portas lógicas podem ser implementadas utilizando dispositivos de tunelamento mono-elétron [1,4-9].

As portas lógicas são blocos de construção básicos na eletrônica digital. O inversor lógico, ou porta *NOT*, é o principal elemento básico no projeto de circuitos digitais [42]. O inversor inverte o sinal de entrada de valor lógico baixo – 0 – em um sinal de saída de valor lógico alto – 1 –, e vice-versa [4,42]. Em outras palavras, a porta *NOT* efetua a negação lógica. O símbolo do inversor, juntamente com sua tabela verdade, está ilustrado na Figura 2.8.

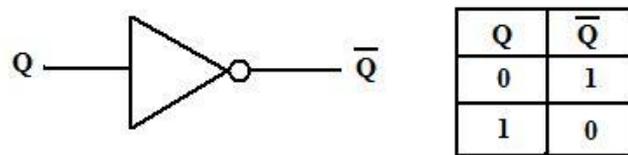


Figura 2.8 – Símbolo e tabela verdade da porta NOT.

2.2.1 Dispositivo de tunelamento mono-elétron

O funcionamento dos dispositivos de tunelamento mono-elétron é baseado no controle do movimento e da posição de um único ou de um pequeno grupo de elétrons no dispositivo [1,7]. Os seguintes conceitos são essenciais na definição desses dispositivos: ilha, junção-túnel, tunelamento, efeito de carregamento e bloqueio de Coulomb. A partir desses conceitos, é possível definir o transistor mono-elétron - SET (do inglês *Single-electron transistor*) [2,4-8].

A ilha está localizada entre duas paredes finas de um material normalmente isolante, as quais criam uma barreira de potencial de energia que impossibilita a movimentação de elétrons pela ilha. A Figura 2.9 mostra dois eletrodos, A e B, separados por uma barreira

isolante, e no meio dessa barreira isolante encontra-se a ilha. Se a energia dos elétrons for maior que a energia potencial das paredes das barreiras, estes poderão atravessá-las [6]. No dispositivo de tunelamento mono-elétron, o transporte de elétrons entre o eletrodo A e a ilha e entre a ilha e o eletrodo B ocorre por tunelamento mono-elétron, em que os elétrons atravessam as barreiras um de cada vez [10].

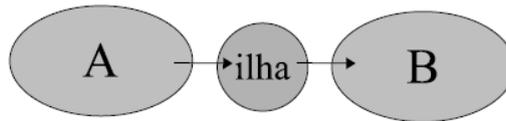


Figura 2.9: Dois eletrodos separados por uma ilha [10].

Esses dispositivos são formados por junções-túnel, que são dois eletrodos metálicos separados por um isolante muito fino (barreira), o qual permite a passagem de elétrons por tunelamento [4,6,7]. A Figura 2.10 ilustra a junção-túnel e sua representação simbólica. Os parâmetros que caracterizam a junção-túnel macroscopicamente são a resistência de tunelamento (R_j), que depende da área e da espessura da barreira isolante, e a capacitância (C_j) [10].

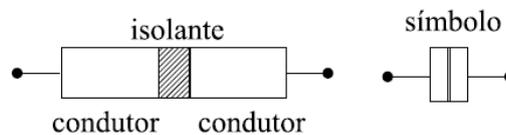


Figura 2.10: Esquemático da junção-túnel [10].

O tunelamento é o transporte de partículas através de uma região em que a energia total de uma partícula pontual clássica é menor que a energia potencial da região, ou seja, é o transporte através de uma região classicamente proibida [10]. O efeito de tunelamento ocorre quando a barreira de potencial for suficientemente fina, permitindo que o elétron a atravesse se houver nível de energia desocupado do outro lado da barreira, com o mesmo valor de energia. Esse fenômeno pode ser explicado pelo comportamento dual do elétron. Diferentemente da mecânica clássica, na teoria eletromagnética, quando uma partícula encontra uma barreira de potencial, parte da onda é refletida e a outra parte é transmitida para o outro lado da barreira [10]. A teoria ortodoxa do tunelamento mono-elétron é o modelo mais utilizado para analisar o tunelamento [4-6]. Proposto em 1987 por Averin e Likharev [43], este modelo apresenta os seguintes postulados:

- Modelo de dimensão zero: as dimensões das ilhas são desprezíveis;
- O evento de tunelamento é considerado instantâneo;
- A redistribuição das cargas após tunelamento também é considerada instantânea;
- O espectro de energia em condutores e ilhas é considerado contínuo, ou seja, a quantização da energia do elétron é ignorada dentro dos condutores.

Apesar de a teoria ortodoxa assumir condições hipotéticas, ela continua sendo muito utilizada em estudos do dispositivo mono-elétron [4-6].

O efeito de carregamento ocorre quando os elétrons estão na iminência de entrar em um material condutor extremamente pequeno isolado eletricamente (ilha). Se houver um elétron na ilha, o potencial eletrostático da ilha aumenta bastante, sendo bem superior ao ruído térmico em temperatura ambiente. O fluxo de elétrons na ilha é possível se o potencial da ilha for controlado por uma fonte de tensão externa. Outros elétrons são impedidos de entrar na ilha devido à repulsão de Coulomb [1,4-9].

Assim, o bloqueio de Coulomb ocorre quando um elétron entra na ilha e impede o tunelamento de outro elétron nesta ilha. No momento em que o elétron entra na ilha, a energia eletrostática da ilha aumenta em $e^2/2 \cdot C_\Sigma$, em que C_Σ é a soma das capacitâncias em torno da ilha [1,4]. Dessa forma, outro elétron só conseguirá tunelar para dentro da ilha se sua energia for maior que a energia eletrostática da ilha [6]. A Figura 2.11 ilustra os diagramas de energia no bloqueio de Coulomb e no caso de tunelamento [10].

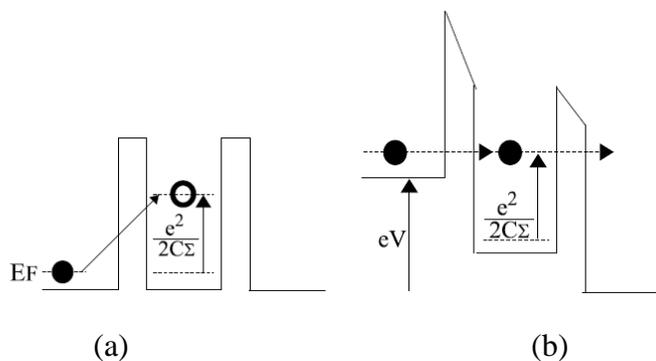


Figura 2.11: Diagramas de energia: (a) Bloqueio de Coulomb, (b) Tunelamento mono-elétron [10].

O bloqueio de Coulomb é superado ao se aplicar uma tensão V_g ao circuito até que esta tensão alcance um dado valor de limiar, que fornecerá energia suficiente para que ocorra o tunelamento de um elétron. Assim, haverá o fluxo de elétrons, havendo corrente. A Figura 2.12 mostra a região do bloqueio de Coulomb ao aplicar uma tensão V_g ao circuito, em que V_c é a tensão de limiar chamada de tensão de bloqueio de Coulomb [5-10].

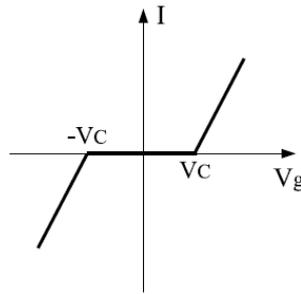


Figura 2.12: Característica do bloqueio de Coulomb [10].

Nesse contexto, duas condições são necessárias para garantir que o transporte de elétrons seja controlado pelo efeito de carregamento: a condição para a resistência de tunelamento, dada pela equação (2.25) [1], em que a natureza corpuscular do elétron predomina sobre a natureza ondulatória; e a energia eletrostática (E_C) associada a uma dada temperatura (T) deve ser significativamente maior que as flutuações térmicas existentes àquela temperatura, como descrita na equação (2.26) [1,4,6-9]. Os parâmetros h é a constante de Planck, e é a carga do elétron, k_B é a constante de Boltzmann e C é capacitância. Na equação (2.26), a temperatura deve ser maior que 0K [10].

$$R_T > \frac{h}{e^2} \rightarrow R_T > 25,8k\Omega \quad (2.25)$$

$$E_C \gg k_B \cdot T \rightarrow \frac{e^2}{2 \cdot C} \gg k_B \cdot T \quad (2.26)$$

A partir dos conceitos apresentados, pode-se definir o transistor mono-elétron. O SET, ilustrado na Figura 2.13 [10], é composto por duas junções-túnel em série, formando uma ilha entre as junções [2,4,6-9]. Os parâmetros R_1 , C_1 e R_2 , C_2 correspondem às resistências e capacitâncias da primeira e da segunda junção-túnel, respectivamente. A tensão de porta V_g controla a energia eletrostática da ilha através da capacitância C_g .

Quando há carregamento por tunelamento de uma junção e descarregamento da outra junção, há um fluxo controlado de cargas, o que gera a corrente I [10].

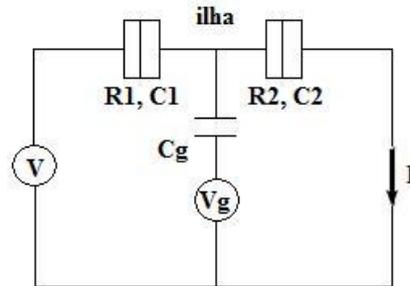


Figura 2.13: Transistor mono-elétron [10].

Um efeito que pode ser observado na característica da corrente *versus* tensão do transistor mono-elétron é chamado de oscilação de Coulomb [2,4,6,7,9]. Se a tensão V for mantida constante, com $V \ll e/C_\Sigma$, e a tensão V_g for aumentada até atingir $V_g = e/2 \cdot C_g$, esse valor de tensão permitirá que um elétron passe pela ilha. Como só haverá corrente fluindo no circuito em valores múltiplos da tensão $e/2 \cdot C_g$, só ocorrerá o tunelamento novamente quando $V_g = 3 \cdot (e/2 \cdot C_g)$. A característica corrente (I) *versus* tensão (V_g) do transistor mono-elétron é ilustrada na Figura 2.14 [10].

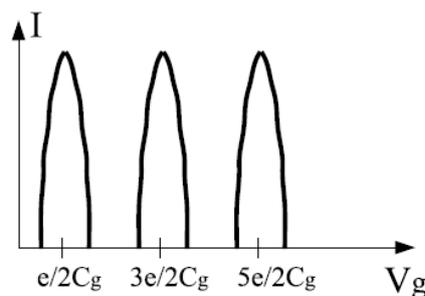


Figura 2.14: Característica corrente (I) *versus* tensão (V_g) do transistor mono-elétron [10].

2.2.2 Estrutura do inversor mono-elétron

Um inversor pode ser construído colocando-se dois SETs em série, os quais compartilham da mesma entrada [5,6,8,9], conforme mostrado na Figura 2.15. V_{in} é a tensão de entrada, V_{out} é a tensão de saída, V_{bias} é a tensão de polarização, C_C é a capacitância de carga, C_{g1} e C_{g2} são as capacitâncias de porta do SET 1 e do SET 2, respectivamente.

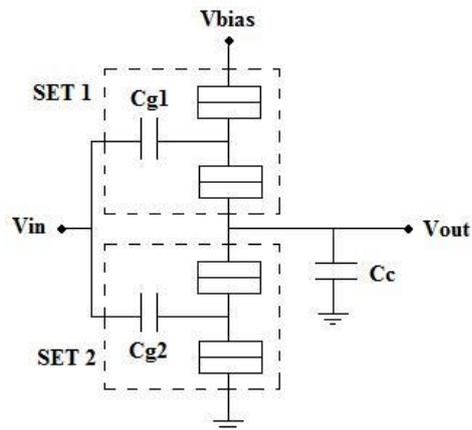


Figura 2.15: Esquemático do inversor utilizando SETs (modificado de [4]).

Alguns modelos do SET desenvolvidos no *software* SPICE foram propostos na literatura [4-7]. Destes modelos, o proposto por G. Lientschnig *et. al.* [4] descreve a implementação completa da teoria ortodoxa e usa apenas os recursos em versões disponíveis publicamente do *software* SPICE. Este modelo, diferentemente dos modelos propostos em [5-7], não está limitado a transistores mono-elétron com junções-túnel que têm resistências iguais. Além disso, pode ser estendido para incluir um número arbitrário de estados de carga que permite simulações definidas para altas temperaturas e tensões de polarização [4]. O modelo de G. Lientschnig *et. al.* está disponível no sítio eletrônico [44]. Assim, este foi o modelo utilizado neste trabalho.

2.3 CLOCKING DE SISTEMAS DE ALTA VELOCIDADE

Em sistemas digitais síncronos, o sinal do *clock* é utilizado para definir uma referência de tempo à mudança de dados dentro do sistema [11,45]. Assim, a distribuição do *clock* é de suma importância na operação de circuitos integrados digitais, sendo uma grande preocupação em circuitos integrados de alta velocidade [46-51]. Circuitos em escala nanométrica podem ser significativamente limitados devido ao *clock skew*, que ocorre quando os circuitos não estão equidistantes do sinal do *clock* [11,45,46,49-51]. Como este sinal é o sinal mais ativo em um chip, pode resultar em elevado consumo de potência e grandes densidades de corrente na rede de interconexões do *clock* [45,48,49].

Dessa forma, o sinal do *clock* deve atingir ao mesmo tempo cada nó para garantir que a comutação seja sincronizada, bem como deve ser distribuído de forma que haja o menor

atraso possível [49]. Com esse intuito, os seguintes fatores, entre outros, são fundamentais no desempenho do *clock*: dispositivos lógicos de tecnologia rápida (avançada), rede de distribuição de *clock* que minimize o *skew*, e interconexões com alto desempenho [11].

Conforme exposto anteriormente, os dispositivos nanoeletrônicos, como os transistores mono-elétron, são potencialmente aplicáveis em circuitos integrados em escala giga (GSI) e tera (TSI). Estes dispositivos permitem que as funções lógicas sejam desempenhadas em um tempo mais rápido e com menor atraso. Assim, são fortes candidatos a serem utilizados em circuitos integrados com *clock*.

A adequada rede de distribuição do *clock* assegura que a comutação seja sincronizada e que haja o menor atraso possível [11,45]. Além disso, dependendo da arquitetura da rede, o nível de sincronismo do sistema pode aumentar. Diferentes tipos de abordagens têm sido desenvolvidos para projetar a rede de distribuição do *clock* em sistemas digitais de circuitos integrados [45]. Os *buffered trees* são muito utilizados na distribuição equipotencial do *clock*. Além dessas estruturas assimétricas, arquiteturas simétricas, como o *H-tree*, são usadas para distribuir sinais de *clock* em alta velocidade, podendo inclusive ser projetadas com *buffers* [45-51]. Algumas formas de rede de distribuição do *clock* estão ilustradas na Figura 2.16, incluindo a *trunk*, *tree*, *mesh* e *H-tree* [45].

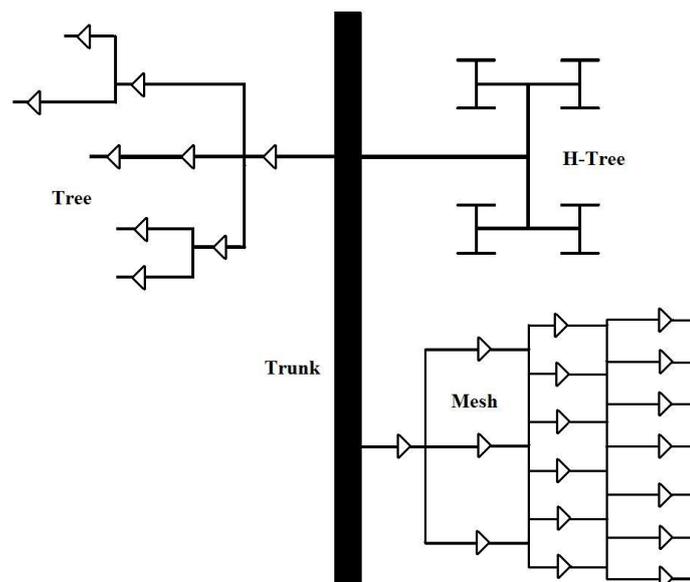


Figura 2.16: Estruturas comuns de redes de distribuição de *clock* [45].

Atualmente, as interconexões de cobre são bastante utilizadas para circuitos de alto desempenho, como em redes de *clock*. No entanto, os CNTs apresentam características que os tornam melhores para serem utilizados em interconexões, descritas na subseção 2.2.1 [48]. Neste trabalho, será realizada a comparação entre interconexões de cobre e de CNT na rede de distribuição do *H-tree clock*.

2.3.1 H-Tree Clock

O *clock skew* pode ser minimizado distribuindo-se o sinal do *clock* de forma que as interconexões que levam o sinal aos circuitos lógicos têm o mesmo comprimento. Se, antes de chegarem aos circuitos lógicos, os sinais do *clock* forem igualmente atrasados, eles estarão perfeitamente sincronizados [11,45]. Dessa forma, o esquemático da Figura 2.17 de distribuição do *clock* minimiza o *clock skew*, repetindo recursivamente uma estrutura em forma de H [11]. A Figura 2.17 ilustra uma rede *H-tree* simétrica com três níveis [46].

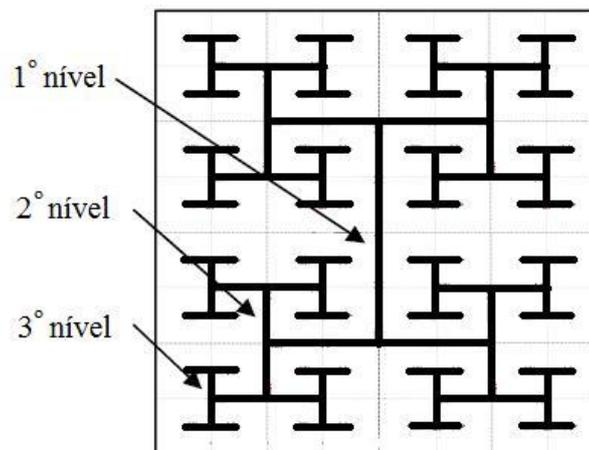


Figura 2.17: Esquemático do *H-tree clock* simétrico (modificado de [46]).

Na estrutura do *H-tree*, o condutor primário do *clock* está ligado ao centro do H principal (1º nível), transmitindo o sinal para os quatro cantos deste H. Esses quatro cantos são as entradas para o próximo nível do *H-tree*, o 2º nível, que possui quatro estruturas em H. O processo de distribuição continua por vários níveis de H's cada vez menores. Os pontos de destino final do *H-tree* são usados para conduzir os circuitos locais. Assim, cada caminho do *clock*, desde a fonte até o circuito local, possui praticamente o mesmo atraso [45].

2.4 MEDIDAS DE DESEMPENHO NA ANÁLISE DAS INTERCONEXÕES

As interconexões em circuitos integrados possuem características que modificam o sinal de entrada. O efeito das interconexões pode provocar atrasos e distorções indesejáveis. Nesse contexto, é necessário analisar medidas de desempenho dos sinais sob efeito das interconexões, tais como velocidade máxima, atenuação, tempo de atraso, potência dissipada, produto atraso-potência e *slew rate* [11,13,17,20,23,42].

2.4.1 Velocidade máxima - análise na frequência

A velocidade máxima que as interconexões podem operar sem distorcer o sinal de entrada é uma medida de desempenho importante [17,20,23]. É possível analisar este parâmetro através da frequência máxima de operação da interconexão, que é a largura de banda em que o sinal começa a decair em -3dB, em relação ao sinal de referência [17,42]. Assim, utiliza-se a análise do módulo do gráfico de Bode para obter a frequência de operação em -3dB [42]. A Figura 2.18 mostra o esboço do módulo do ganho pela frequência típico do comportamento de interconexões.

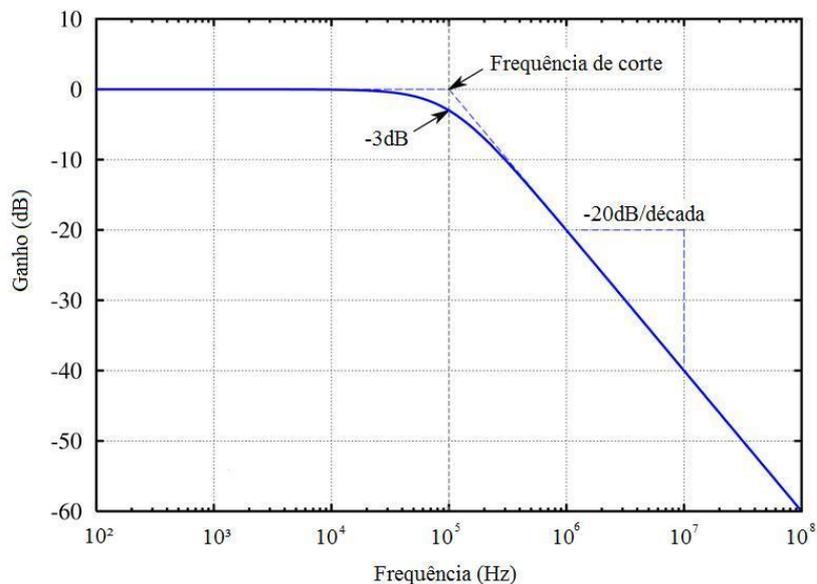


Figura 2.18: Gráfico do módulo do ganho pela frequência típico do comportamento de interconexões.

2.4.2 Atenuação

A transmissão de um sinal pode ser expressa em função do seu ganho ou da sua atenuação. No caso em estudo, as interconexões podem atenuar o sinal. Essa atenuação é geralmente calculada pela expressão (2.27), em que V_o é o sinal de saída e V_i é o sinal de entrada [42].

$$A = -20 \cdot \log \left| \frac{V_o}{V_i} \right| \quad (2.27)$$

2.4.3 Tempo de atraso

O tempo de atraso, t_d , ou atraso na propagação, ocorre devido ao carregamento/descarregamento da capacitância de carga, bem como ao tempo de chaveamento dos transistores [42].

O tempo de atraso é obtido pela diferença entre o tempo medido a 50% da transição dos sinais de entrada e de saída [11]. Em circuitos lógicos, o atraso na propagação pode ser calculado pela média aritmética do tempo de propagação do sinal de alto para baixo, t_{PHL} , e do tempo de propagação do baixo para alto, t_{PLH} , conforme equação (2.28) [11,42].

$$t_d = \frac{t_{PHL} + t_{PLH}}{2} \quad (2.28)$$

2.4.4 Potência dissipada

A dissipação de potência é outra medida de desempenho bastante importante em circuitos integrados em escala GSI e TSI. Isso ocorre já que, ao aumentar o número de portas lógicas em uma determinada área ocupada, é necessário que a dissipação de potência esteja dentro de limites aceitáveis [11,42].

A dissipação de potência é composta por dois componentes: potência estática e potência dinâmica. A dissipação de potência estática é dada por $P_E = V_{DD} \times I$ e ocorre mesmo que não haja chaveamento de porta lógica no circuito, devido ao efeito da resistência do circuito [42]. A dissipação de potência dinâmica é devido à capacitância de carga do

circuito, expressa por $P_D = f \cdot V_{DD}^2 \cdot C$, em que V_{DD} é a tensão de alimentação, f é frequência do circuito e C é a capacitância de carga do circuito [11,42]. Assim, a soma da potência dinâmica e da potência estática resulta na potência total dissipada no circuito.

2.4.5 Produto atraso-potência

Em circuitos integrados, o ideal é que se tenha baixo atraso na propagação, resultando em uma maior velocidade de funcionamento do circuito, bem como baixa dissipação de potência. No entanto, essas duas exigências são conflitantes: ao reduzirmos a dissipação de potência de uma porta, a capacidade da porta em fornecer corrente diminuirá; isso implicará em um maior tempo de carga e descarga, aumentando o atraso na propagação. Assim, o produto atraso-potência (*delay power product* – DP) é uma medida de desempenho bastante utilizada na análise de circuitos, e é dado por $DP = P_D \cdot t_d$. Quanto menor o produto atraso-potência, maior a eficiência do circuito lógico [42].

2.4.6 Slew rate

A taxa máxima de variação da tensão de saída, do inglês *slew rate* (SR), é uma característica importante do sinal de saída de um circuito lógico. A limitação na taxa de variação pode provocar uma distorção no funcionamento do circuito. O SR pode ser calculado pela expressão (2.29), em que Δv é a variação da tensão de saída do sinal para uma determinada variação de tempo Δt [42].

$$SR = \frac{\Delta v}{\Delta t} \quad (2.29)$$

2.5 LTSPICE

O *software* LTSPICE é um simulador SPICE de alto desempenho, orientado a esquemáticos, e visualizador de formas de onda com modelos para facilitar a simulação de circuitos eletrônicos. Se comparado aos outros simuladores SPICE, a simulação do LTSPICE é bastante rápida. O *software* consegue simular dispositivos de acordo com o padrão industrial, reproduzindo os seus comportamentos [52].

O LTSPICE possui várias possibilidades de simulação, como análise transiente, análise AC e análise DC, bem como permite a simulação de vários dispositivos disponíveis na sua biblioteca. Além disso, este *software* possibilita a elaboração de novos esquemáticos, através de um modelo matemático ou eletrônico proposto. O novo componente poderá ser utilizado no circuito, conforme será feito neste trabalho, utilizando-se o modelo SPICE do SET proposto por G. Lientschnig *et. al.*[4].

3 METODOLOGIA

3.1 INTRODUÇÃO

A miniaturização das interconexões prejudica o seu desempenho, resultando no aumento significativo do valor da resistividade, da capacitância de acoplamento entre vias, na dificuldade de controlar a razão entre a altura e a largura do material, entre outros problemas. A fim de analisar o desempenho das interconexões, é necessário verificar algumas variáveis importantes, como velocidade máxima (f_{-3dB}), atenuação (A), tempo de atraso (t_d), potência dissipada (P), produto atraso-potência (DP) e *slew rate* (SR) [11,13,17,20,23,42].

3.2 ETAPAS E ESTRATÉGIAS ADOTADAS

Com o intuito de analisar o efeito das interconexões em circuitos com transistores mono-elétron, foi realizada, primeiramente, a análise das interconexões de SWCNT, de SWCNT *bundle* e de cobre, isoladamente, para diferentes valores de comprimento. Após a avaliação desses resultados, o efeito das interconexões foi analisado no *H-tree clock* com inversores mono-elétron nos seus terminais, também considerando diferentes comprimentos. Neste trabalho, a tecnologia de 22 nm, prevista para o ano de 2016 [21], foi utilizada na comparação entre o desempenho do cobre e do CNT. Todas as simulações foram realizadas utilizando o *software* LTSPICE.

3.2.1 Simulação das interconexões

A partir dos modelos das interconexões de SWCNT, SWCNT *bundle* e cobre, apresentados na subseção 2.1.3, diferentes comprimentos das interconexões foram simulados. Assim, analisou-se as interconexões locais, em que $l \leq 1 \mu m$, e as intermediárias, em que $1 \mu m < l \leq 500 \mu m$, sabendo que l é o comprimento da interconexão [29-31,33,36,38].

A fim de analisar a frequência de corte, este foi obtido para comprimentos de interconexões locais (10nm, 100nm, 200nm, 300nm, 400nm, 500nm, 600nm, 700nm,

800nm, 900nm, 1 μ m) e interconexões intermediárias (10 μ m, 100 μ m, 200 μ m, 300 μ m, 400 μ m, 500 μ m).

Já que λ_{CNT} é tipicamente 1 μ m, foram escolhidos três comprimentos na faixa $l_{CNT} \leq \lambda_{CNT}$ (10 nm, 100 nm e 1 μ m) e três comprimentos na faixa $l_{CNT} > \lambda_{CNT}$ (10 μ m, 100 μ m, 500 μ m) para serem analisados detalhadamente. Escolheu-se uma mesma frequência, abaixo da frequência de corte dos três materiais considerados, para analisar e comparar a atenuação (A) e o tempo de atraso na propagação (t_d) dos diferentes comprimentos.

Em seguida, o mesmo procedimento foi feito para comparar somente o SWCNT *bundle* e o cobre para uma mesma frequência, cujo valor é maior que a frequência da análise anterior, permitindo que estes dois materiais sejam analisados detalhadamente.

Essas análises foram realizadas a partir da simulação do circuito da Figura 3.1 [23,25]. A tensão de entrada V_{in} é uma onda quadrada de 1V de amplitude e o capacitor de carga tem o valor de 100 aF.

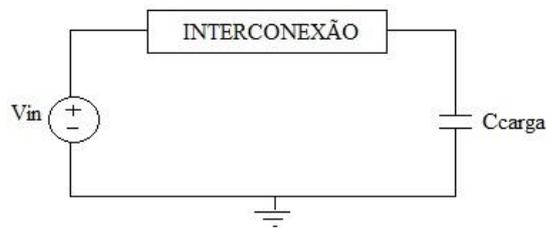


Figura 3.1 – Circuito simulado para cada interconexão.

A Figura 3.2 mostra o fluxograma das etapas descritas nesta subseção 3.2.1.

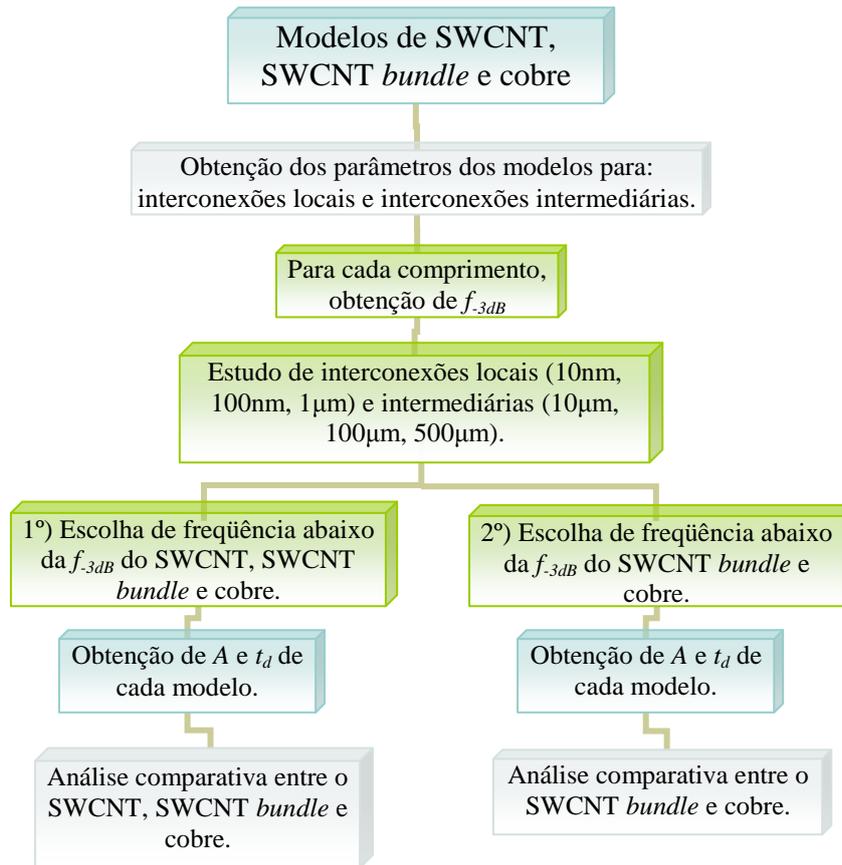


Figura 3.2 – Fluxograma das etapas seguidas na simulação das interconexões.

3.2.2 Simulação do inversor mono-elétron

Para utilizar a porta inversora da Figura 2.15 nos terminais do *H-tree clock*, foi necessário primeiramente simular o SET proposto por [4]. Essa simulação foi feita variando os parâmetros do SET, como as resistências e capacitâncias das junções, as capacitâncias de porta, a temperatura, etc. Os parâmetros foram variados até simular o SET a temperatura de 300K. Em seguida, simulou-se a inversora da Figura 2.15, também a temperatura ambiente. Dessa forma, foi possível simular a inversora isoladamente, obtendo as características do sinal de saída.

3.2.3 Simulação do *H-tree clock* mono-elétron

Após a simulação do SET, foi possível simular o *H-tree clock*. A rede *H-tree* de dois níveis foi simulada, com um H no primeiro nível e quatro H's no segundo nível [49]. Nos pontos de destino final da rede foram colocadas portas inversoras formadas por SETs, permitindo a análise de circuitos nanoeletrônicos.

A partir da simulação do *H-tree clock*, obteve-se a frequência em -3dB (f_{-3dB}) da rede com interconexões ideais. Assim, a rede *H-tree* foi então simulada para duas frequências diferentes do sinal de entrada, abaixo da frequência de -3dB: 10 GHz e 100 GHz. Com essas simulações, obtiveram-se as seguintes características do sinal de saída da inversora: nível lógico baixo (*NB*), nível lógico alto (*NA*), tempo de subida (t_r), *slew rate* de subida (*SR*), atenuação (*A*), tempo de atraso (t_d), potência dissipada (*P*) e produto atraso-potência (*DP*). As características obtidas servem como referência para analisar o sinal considerando interconexões não-ideais, ou seja, incluindo os modelos das interconexões nas simulações.

Em seguida, a rede *H-tree* foi simulada considerando-se os modelos das interconexões de SWCNT *bundle* e de cobre, variando os seus comprimentos. Como cada H da rede de distribuição deve ser simétrico, considerou-se que cada divisão do H tem o mesmo comprimento, para cada nível da rede [11]. A Figura 3.3 mostra o comprimento dos diferentes trechos da rede. Assim, o comprimento de cada divisão dos H's do segundo nível é a metade do comprimento de cada divisão do H do primeiro nível. Já que o objetivo é simular circuitos em escala nanométrica, escolheu-se três variações de comprimento, menores ou iguais a $1\mu\text{m}$:

- $l = 100\text{ nm}, l/2 = 50\text{ nm};$
- $l = 400\text{ nm}, l/2 = 200\text{ nm};$
- $l = 1\ \mu\text{m}, l/2 = 500\text{ nm}.$

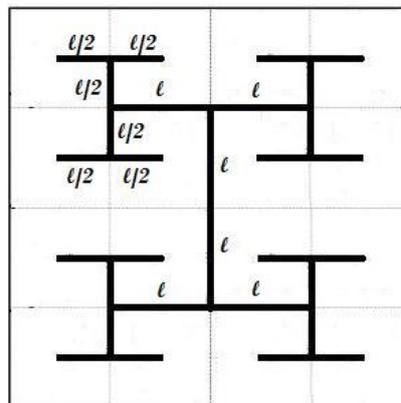


Figura 3.3 – Esquemático do *H-tree clock* com os comprimentos de cada seguimento.

Dessa forma, cada um dos três circuitos foi simulado, obtendo-se a frequência em -3dB na entrada das portas inversoras. Em seguida, as três redes foram simuladas para as mesmas

duas frequências do sinal de entrada (10 GHz e 100 GHz), de forma a obter as características do sinal de saída descritas anteriormente, considerando agora o efeito das interconexões.

Por fim, a partir dos dados obtidos, foram realizadas comparações entre as características do sinal de saída de referência (interconexões ideais) e o sinal de saída dos circuitos com as interconexões não-ideais, bem como entre o comportamento das interconexões de SWCNT *bundle* e de cobre, nas diferentes frequências.

A Figura 3.4 mostra o fluxograma das etapas descritas nas subseções 3.2.2 e 3.2.3.

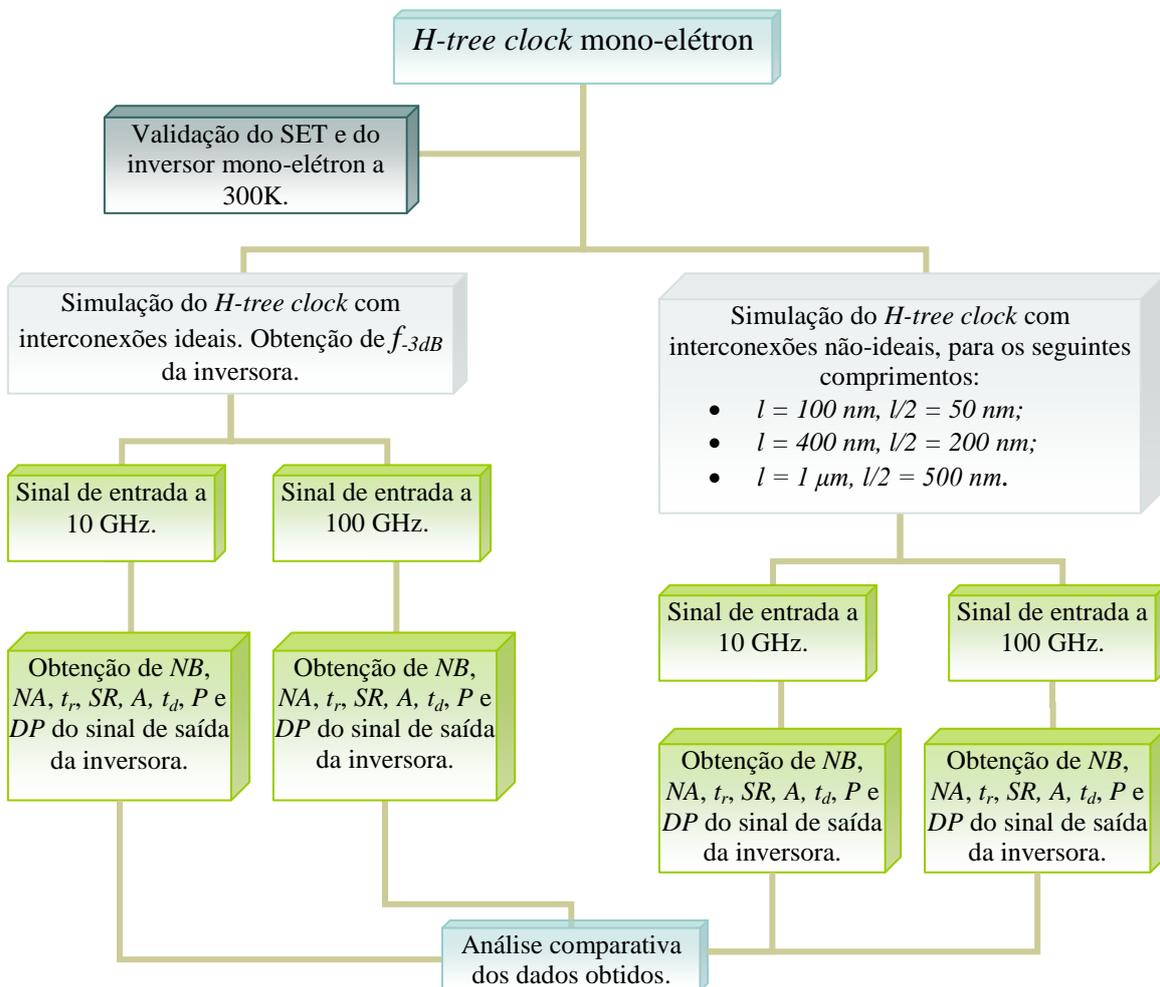


Figura 3.4 – Fluxograma das etapas seguidas na simulação do *H-tree clock*.

4 RESULTADOS E ANÁLISES

4.1 INTRODUÇÃO

Neste capítulo, serão apresentados os procedimentos adotados e os resultados obtidos na simulação das interconexões SWCNT, SWCNT *bundle* e cobre. As etapas descritas na metodologia foram seguidas, obtendo-se os resultados das simulações das interconexões e das simulações do *H-tree clock* mono-elétron para interconexões ideais e não-ideais. A partir dos resultados, a análise do desempenho das interconexões será apresentada.

4.2 ANÁLISE DAS INTERCONEXÕES

Nesta seção, a análise das interconexões de SWCNT, SWCNT *bundle* e cobre na tecnologia de 22 nm, para diferentes comprimentos, será realizada. Para isso, analisou-se as interconexões locais, em que $l \leq 1 \mu m$, e as intermediárias, em que $1 \mu m < l \leq 500 \mu m$, sabendo que l é o comprimento da interconexão [29-31,33,36,38]. Como λ_{CNT} é tipicamente $1 \mu m$, três comprimentos na faixa $l_{CNT} \leq \lambda_{CNT}$ (10 nm, 100 nm e $1 \mu m$) e três comprimentos na faixa $l_{CNT} > \lambda_{CNT}$ (10 μm , 100 μm , 500 μm), de cada material, serão analisados detalhadamente. Os parâmetros obtidos a partir dos modelos de SWCNT, SWCNT *bundle* e cobre estão, respectivamente, nas Tabelas 7.1, 7.2 e 7.3 do Apêndice.

4.2.1 Interconexões locais

Primeiramente, a partir da simulação da Figura 3.1, obteve-se a frequência em -3dB (f_{-3dB}) das interconexões locais ($l_{CNT} \leq \lambda_{CNT}$), isto é, a sua banda passante, de forma a verificar a velocidade máxima que cada interconexão suporta. A Figura 4.1 ilustra o comportamento da frequência das interconexões locais, para os diferentes comprimentos. Como o SWCNT isolado possui valores de frequência na faixa de centenas de giga Hertz, ou seja, menos de um tera Hertz, os valores de suas frequências também podem ser visualizados na Tabela 7.4 do Apêndice.

Verifica-se que, à medida que o comprimento da interconexão aumenta, a frequência diminui. Isso ocorre já que os valores da capacitância e indutância aumentam com o aumento do comprimento da interconexão. Esses parâmetros são decisivos no sinal de

saída, sendo o sinal mais distorcido quanto maior for o valor desses parâmetros. Observa-se que o SWCNT *bundle* e o cobre possuem banda passante maiores que o SWCNT isolado, para qualquer comprimento. Além disso, o SWCNT *bundle* só possui uma banda passante comparável ao do cobre para comprimentos acima de 700 nm.

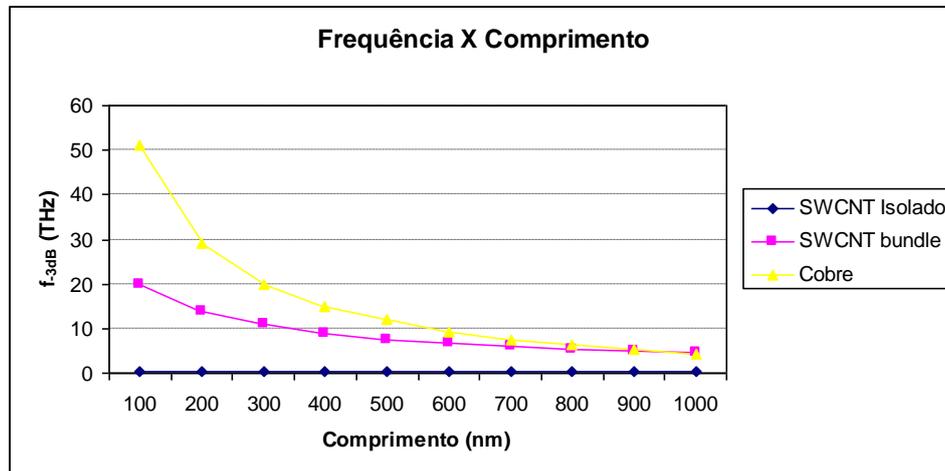


Figura 4.1 – Frequência *versus* comprimento das interconexões locais.

As interconexões locais de 10 nm, 100 nm e 1 μ m de comprimento foram analisadas detalhadamente. A Tabela 4.1 mostra a frequência em -3dB de cada material, para os comprimentos em análise.

Tabela 4.1. Frequência em -3dB de cada material, para $l_{CNT} \leq \lambda_{CNT}$.

Interconexão Local	Comprimento (L)	Material	f_{-3dB}
$l_{CNT} \leq \lambda_{CNT}$	10nm	SWCNT isolado	253 GHz
		SWCNT <i>bundle</i>	66 THz
		Cobre	232 THz
	100nm	SWCNT isolado	300 GHz
		SWCNT <i>bundle</i>	20 THz
		Cobre	51 THz
	1 μ m	SWCNT isolado	230 GHz
		SWCNT <i>bundle</i>	4.7 THz
		Cobre	4.2 THz

Assim, escolheu-se uma mesma frequência, abaixo da frequência de corte dos três materiais considerados, para analisar e comparar a atenuação (A) e o tempo de atraso na propagação (t_d) dos três comprimentos. Isso permite verificar o comportamento do sinal na banda passante. A Tabela 4.2 mostra esse estudo comparativo entre o SWCNT isolado, SWCNT *bundle* e cobre, à frequência de 200 GHz.

Tabela 4.2. Estudo das interconexões com comprimentos na faixa $l_{CNT} \leq \lambda_{CNT}$.

Freq.	L	Material	A (dB)	t_d (ps)
200 GHz	10nm	SWCNT isolado	-2.10	0.46
		SWCNT <i>bundle</i>	0.01	0.00
		Cobre	0.00	0.00
	100nm	SWCNT isolado	-1.55	0.51
		SWCNT <i>bundle</i>	0.01	0.00
		Cobre	0.01	0.00
	1 μ m	SWCNT isolado	-0.39	1.07
		SWCNT <i>bundle</i>	0.06	0.01
		Cobre	0.00	0.07

A partir da análise da Tabela 4.2, é possível observar, à frequência de 200 GHz, a atenuação do sinal e o atraso do SWCNT isolado. Nessa frequência, o atraso do SWCNT isolado é significativo em relação ao período do sinal, que é 5ps, já que o menor atraso (para $l = 10nm$) é aproximadamente 10% do período do sinal de entrada. No entanto, para esta mesma frequência, observa-se que a atenuação e o atraso do SWCNT *bundle* e do cobre são insignificantes. Isto indica que estes dois materiais possuem melhor desempenho, sendo favoráveis para serem utilizados em interconexões locais.

Dessa forma, para analisar melhor a atenuação e o tempo de atraso do SWCNT *bundle* e do cobre, o mesmo procedimento foi feito, comparando-se somente estes dois materiais, para uma mesma frequência de 1 THz. A Tabela 4.3 mostra esse estudo comparativo entre o SWCNT *bundle* e cobre.

Tabela 4.3. Estudo das interconexões SWCNT *bundle* e cobre com comprimentos na faixa $l_{CNT} \leq \lambda_{CNT}$.

Freq.	L	Material	A (dB)	t_d (fs)
1 THz	10nm	SWCNT <i>bundle</i>	0.01	1.13
		Cobre	0.00	0.22
	100nm	SWCNT <i>bundle</i>	0.06	1.36
		Cobre	0.01	2.40
	1 μ m	SWCNT <i>bundle</i>	1.45	6.47
		Cobre	-0.13	56.23

Analisando a Tabela 4.3, observa-se que, à frequência de 1 THz, a atenuação do sinal e o atraso aumentam à medida que o comprimento das interconexões aumentam. A partir do comprimento de 100nm, o tempo de atraso da interconexão de cobre é maior que o do SWCNT *bundle*, cujo maior valor de atraso (para $l = 1\mu m$) não chega a 1% do período do

sinal de entrada (1ps). Isso mostra que, apesar de a banda passante do cobre ser maior, o atraso do SWCNT *bundle* é menor. Dessa forma, para as interconexões locais, o SWCNT *bundle* possui desempenho comparável ao do cobre [13].

Em relação à atenuação, verifica-se que, para alguns comprimentos, este tem valor positivo. Isso ocorre principalmente quando há um pico no gráfico da frequência antes dele começar a decair. Esse pico é devido ao efeito ressonante provocado pela indutância, quando este possui valor comparável à resistência e à capacitância da interconexão [53]. Assim, esse efeito ressonante foi observado somente nas interconexões locais de SWCNT *bundle* e de cobre. A Figura 4.2 ilustra o gráfico da magnitude pela frequência do SWCNT isolado, SWCNT *bundle* e cobre para o comprimento de 100nm. Observa-se o efeito ressonante nos gráficos do SWCNT *bundle* e do cobre.

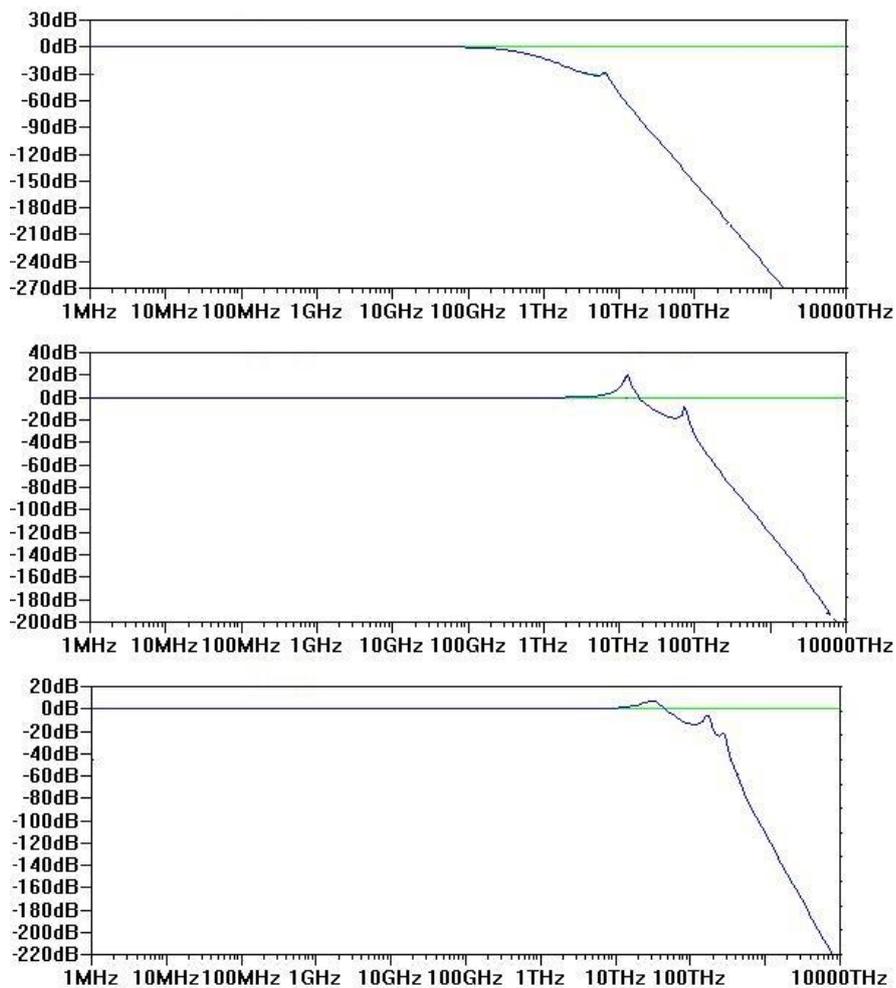


Figura 4.2 – Gráficos da magnitude das interconexões de SWCNT isolado (superior), SWCNT *bundle* (meio) e cobre (inferior) com comprimento de 100nm.

4.2.2 Interconexões intermediárias

Assim como para as interconexões locais, obteve-se a frequência em -3dB (f_{-3dB}) das interconexões intermediárias ($l_{CNT} > \lambda_{CNT}$), de forma a verificar a velocidade máxima que cada interconexão suporta. A Figura 4.3 ilustra o comportamento da frequência das interconexões intermediárias, para os diferentes comprimentos. Os valores das frequências de cada interconexão também podem ser visualizados na Tabela 7.5 do Apêndice.

Como nas interconexões locais, à medida que o comprimento da interconexão aumenta, a frequência diminui. Além disso, o SWCNT *bundle* e o cobre possuem desempenho melhor que o do SWCNT isolado, para qualquer comprimento. No entanto, para interconexões intermediárias, o SWCNT *bundle* possui banda passante maior que a do cobre, para qualquer comprimento.

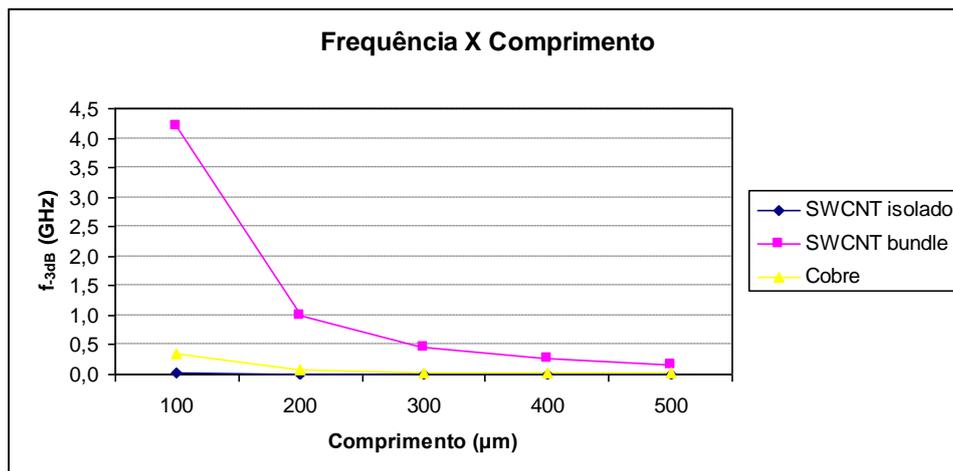


Figura 4.3 – Frequência *versus* comprimento das interconexões intermediárias.

As interconexões intermediárias de 10 μm, 100 μm e 500 μm de comprimento foram então analisadas detalhadamente. A Tabela 4.4 mostra a frequência em -3dB de cada material, para os diferentes comprimentos em análise.

Tabela 4.4. Frequência em -3dB de cada material, para $l_{CNT} > \lambda_{CNT}$.

Interconexão Intermediária	Comprimento (L)	Material	f_{-3dB}
$l_{CNT} > \lambda_{CNT}$	10 μm	SWCNT isolado	2.6 GHz
		SWCNT <i>bundle</i>	527 GHz
		Cobre	34 GHz
	100 μm	SWCNT isolado	32 MHz
		SWCNT <i>bundle</i>	4.2 GHz
		Cobre	345 MHz
	500 μm	SWCNT isolado	1.3 MHz
		SWCNT <i>bundle</i>	165 MHz
		Cobre	14 MHz

Escolheu-se a frequência de 1 MHz, que está abaixo da frequência de corte dos três materiais considerados, para analisar e comparar a atenuação (A) e o tempo de atraso na propagação (t_d) dos três comprimentos. A Tabela 4.5 mostra esse estudo comparativo entre o SWCNT isolado, SWCNT *bundle* e cobre.

Tabela 4.5. Estudo das interconexões com comprimentos na faixa $l_{CNT} > \lambda_{CNT}$.

Freq.	L	Material	A (dB)	t_d (ns)
1 MHz	10 μm	SWCNT isolado	-0.02	0.08
		SWCNT <i>bundle</i>	0.00	0.00
		Cobre	0.00	0.00
	100 μm	SWCNT isolado	-0.03	5.59
		SWCNT <i>bundle</i>	-0.01	0.05
		Cobre	-0.04	0.56
	500 μm	SWCNT isolado	-1.98	102.17
		SWCNT <i>bundle</i>	0.00	1.10
		Cobre	-0.03	13.01

Com base na Tabela 4.5, observa-se que a atenuação e o tempo de atraso do SWCNT isolado aumentam com o aumento do comprimento da interconexão. Nessa frequência, o atraso na propagação do SWCNT isolado é significativo em relação ao período do sinal de entrada, que é 1 μs , chegando a mais de 10% deste período para o comprimento de 500 μm . Verifica-se também o aumento do tempo de atraso da interconexão de cobre, sendo 1,3% do período do sinal de entrada para o comprimento de 500 μm .

Para analisar melhor a atenuação e o tempo de atraso do SWCNT *bundle* e do cobre, o mesmo procedimento foi feito, comparando-se somente estes dois materiais, para uma

mesma frequência de 10 MHz. A Tabela 4.6 mostra esse estudo comparativo entre o SWCNT *bundle* e cobre.

Tabela 4.6. Estudo das interconexões SWCNT *bundle* e cobre com comprimentos na faixa

$$l_{CNT} > \lambda_{CNT}.$$

Freq.	L	Material	A (dB)	t _d (ns)
10 MHz	10 μm	SWCNT <i>bundle</i>	0.00	0.00
		Cobre	0.00	0.00
	100 μm	SWCNT <i>bundle</i>	-0.01	0.05
		Cobre	-0.04	0.54
	500 μm	SWCNT <i>bundle</i>	-0.04	1.07
		Cobre	-1.85	10.24

Analisando a Tabela 4.6, observa-se que, à medida que o comprimento das interconexões aumenta, a atenuação e o atraso do sinal da interconexão de cobre tornam-se significativos. O atraso na propagação da interconexão de cobre, para $l = 500\mu\text{m}$, chega a 10% do período do sinal de entrada (100ns). Já o SWCNT *bundle* apresenta valores insignificantes de atenuação e atraso na propagação. Assim, para as interconexões intermediárias, o SWCNT *bundle* possui desempenho superior ao do cobre.

4.3 SIMULAÇÃO DO INVERSOR MONO-ELÉTRON

O modelo SPICE do SET, proposto por G. Lientschnig *et. al.* [4,44], foi simulado no LTSPICE. A partir da equação (2.26), foi possível aumentar a temperatura do SET até chegar a 300K. Assim, o esquemático do SET e os valores de seus parâmetros, para que o SET opere a 300K, estão na Figura 4.4. No anexo deste trabalho (subseção 8.1), encontra-se o código SET que foi utilizado [44]. Os parâmetros $R1$, $C1$ e $R2$, $C2$ correspondem às resistências e capacitâncias das junções-túnel, C_g é a capacitância de porta (C_{g1} no código SET), V_g é a tensão de porta e V é a tensão de entrada.

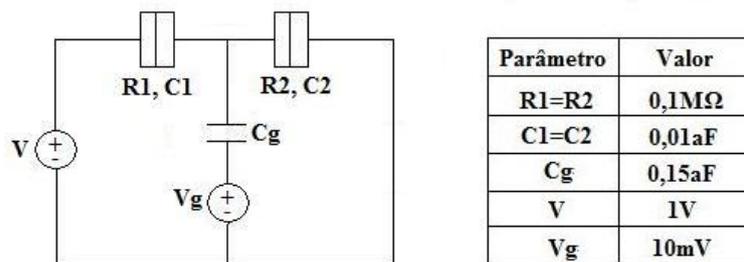


Figura 4.4: Esquemático do SET e os valores de seus parâmetros.

A partir destes valores, o inversor mono-elétron foi construído, colocando-se dois SETs em série, os quais compartilham da mesma entrada. A Figura 4.5 ilustra o esquemático do inversor mono-elétron, juntamente com os valores de seus parâmetros fixos, em que V_{in} é a tensão de entrada, V_{out} é a tensão de saída, V_{bias} é a tensão de polarização, C_c é a capacitância de carga, C_{g1} e C_{g2} são as capacitâncias de porta do SET 1 e do SET 2, respectivamente.

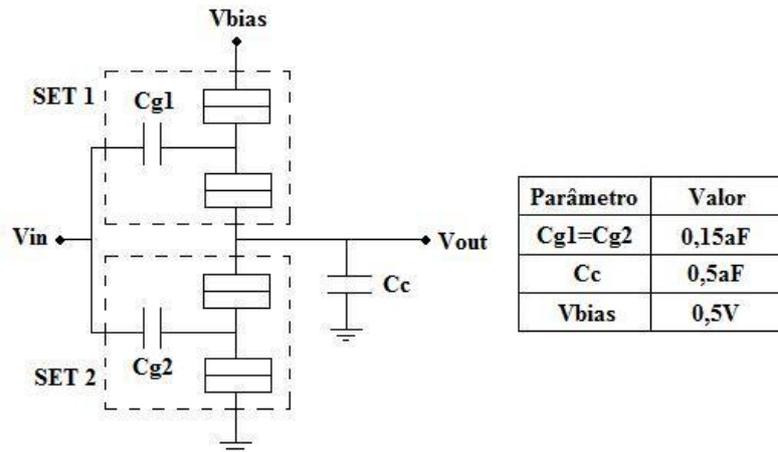


Figura 4.5: Esquemático do inversor mono-elétron e os valores de seus parâmetros (modificado de [4]).

Assim, após simular o inversor mono-elétron a 300K, obteve-se o sinal de saída mostrado na Figura 4.6. Como o inversor está invertendo o sinal de entrada de valor lógico baixo em um sinal de saída de valor lógico alto, ele está operando corretamente.

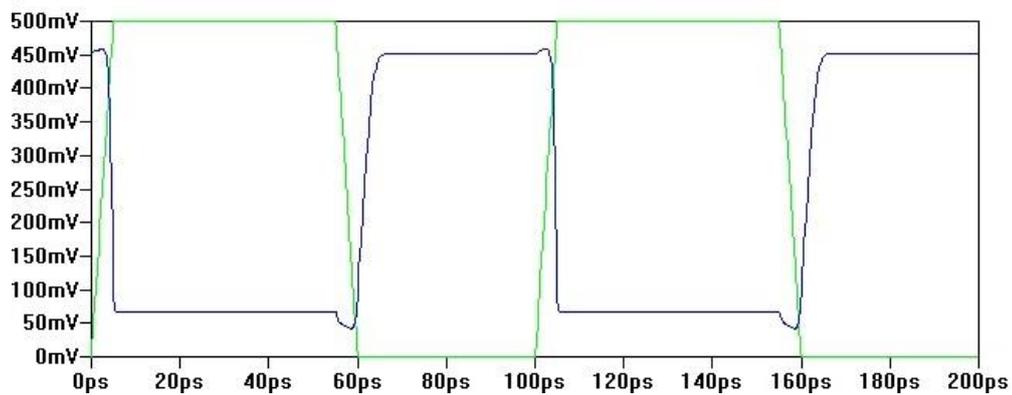


Figura 4.6: Curva do sinal de entrada (em verde) e do sinal de saída (em preto) do inversor mono-elétron.

4.4 ANÁLISE DAS INTERCONEXÕES NO *H-TREE CLOCK* MONO-ELÉTRON

Nesta seção, a rede *H-tree clock* de dois níveis foi simulada com portas inversoras mono-elétron nos pontos de destino final da rede, permitindo a análise de circuitos nanoeletrônicos. Simulou-se a rede *H-tree* considerando interconexões ideais, para as frequências de 10 GHz e 100 GHz no sinal de entrada. Em seguida, para as mesmas duas frequências, considerou-se interconexões não-ideais de diferentes comprimentos, analisando a rede com os modelos de interconexão SWCNT *bundle* e cobre. Três redes com comprimentos de interconexões diferentes foram analisadas:

- $l = 100 \text{ nm}$, $l/2 = 50 \text{ nm}$;
- $l = 400 \text{ nm}$, $l/2 = 200 \text{ nm}$;
- $l = 1 \mu\text{m}$, $l/2 = 500 \text{ nm}$.

4.4.1 Análise da rede com interconexões ideais

A partir da simulação do *H-tree clock*, a frequência em -3dB (f_{-3dB}) da rede com interconexões ideais foi obtida. Na saída de cada porta inversora, a banda passante do sinal é 320.0 GHz. Dessa forma, duas frequências, abaixo de 320.0 GHz, foram escolhidas para analisar o sinal de saída da inversora, em condições ideais. As frequências de 10 GHz e 100 GHz serão analisadas, obtendo-se as seguintes características do sinal de saída da inversora: nível lógico baixo (*NB*), nível lógico alto (*NA*), tempo de subida (t_r), *slew rate* de subida (*SR*), atenuação (*A*) e tempo de atraso (t_d). A Tabela 4.7 mostra os valores obtidos para as duas frequências em análise.

Tabela 4.7. Características dos sinais de saída da rede para interconexões ideais.

Freq.	NB(mV)	NA(mV)	t_r(ps)	SR(V/ns)	A(dB)	t_d(ps)
10 GHz	67.5	451.8	3.56	86.36	-26.4	4.12
100 GHz	67.8	427.9	3.17	90.88	-26.9	1.89

Os cálculos da potência estática ($P_E = V_{DD} \times I$), potência dinâmica ($P_D = f \cdot V_{DD}^2 \cdot C$) e potência total ($P = P_E + P_D$) dissipada por cada porta inversora foram realizados, bem como o produto atraso-potência (*DP*). Assim, a Tabela 4.8 mostra os valores obtidos no

cálculo destes parâmetros. Como a potência estática independe da frequência do sinal de entrada, o seu valor é o mesmo nos dois casos.

Tabela 4.8. Potência dissipada por cada porta inversora para interconexões ideais.

Frequência	P_E (nW)	P_D (nW)	P (nW)	DP ($10^{-18} \text{W}\cdot\text{s}$)
10 GHz	48.38	1.25	49.63	0.20
100 GHz	48.38	12.5	60.88	0.12

As Tabelas 4.7 e 4.8 servirão de referência para as análises da rede com interconexões não-ideais, analisadas na subseção seguinte. As Figuras 4.7 e 4.8 ilustram o sinal de saída das redes com frequências de 10 GHz e de 100 GHz, respectivamente. É possível observar que, na frequência de 100 GHz, o sinal de saída já é distorcido em relação ao sinal de referência (Figura 4.6).

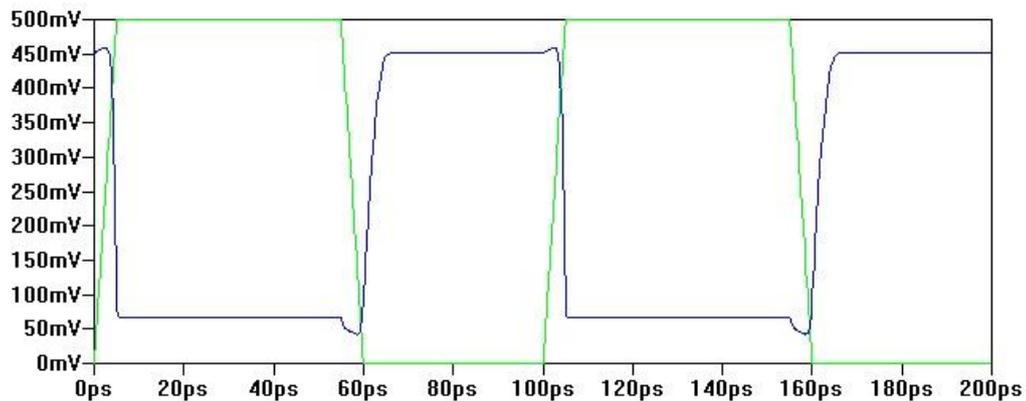


Figura 4.7. Sinal de entrada (em verde) e sinal de saída (em preto) da rede a 10 GHz.

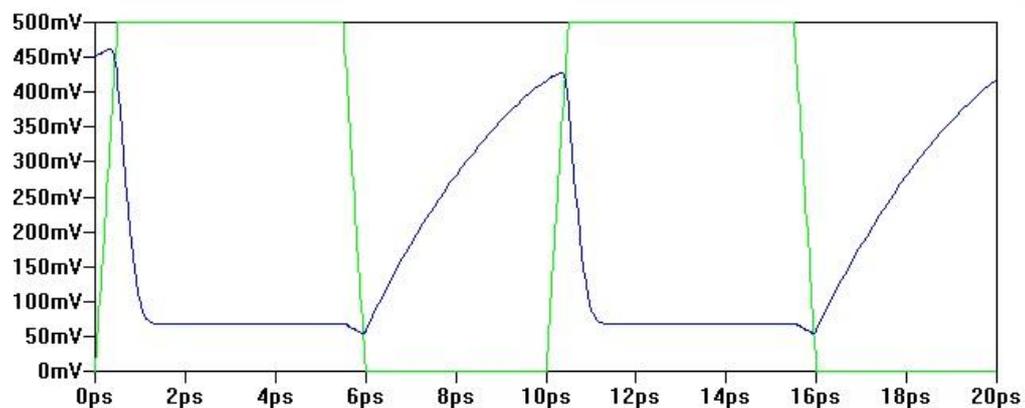


Figura 4.8. Sinal de entrada (em verde) e sinal de saída (em preto) da rede a 100 GHz.

4.4.2 Análise da rede com interconexões não-ideais

Após obter as características da rede *H-tree clock* com interconexões ideais, a análise da rede com interconexões não-ideais será feita. Primeiramente, é importante verificar a frequência em -3dB do sinal depois das interconexões, ou seja, na entrada da porta inversora. Caso essa frequência seja menor que a frequência de 320.0 GHz, obtida com interconexões ideais, então a interconexão afetará o comportamento da rede. A Tabela 4.9 mostra a frequência em -3dB na entrada da inversora, para interconexões não-ideais.

Tabela 4.9. Frequência em -3dB na entrada da inversora, para interconexões não-ideais.

Comprimentos ($l/2$; l)	Material	f_{-3dB}
50nm; 100nm	SWCNT <i>bundle</i>	12.2 THz
	Cobre	17.5 THz
200nm; 400nm	SWCNT <i>bundle</i>	3.1 THz
	Cobre	860.6 GHz
500nm; 1 μ m	SWCNT <i>bundle</i>	1.2 THz
	Cobre	126.8 GHz

Assim, verifica-se que a interconexão de cobre, da rede 500nm/1 μ m, possui frequência em -3dB abaixo da frequência do circuito com interconexão ideal (320.0 GHz). Isso indica que esta interconexão interfere significativamente no comportamento da rede. A Tabela 4.9 mostra também que a banda passante da interconexão de cobre só é maior que a da interconexão de SWCNT *bundle* no primeiro caso, na rede de 50nm/100nm, o que mostra uma vantagem do SWCNT *bundle* em relação ao cobre. A partir dessas informações, a rede *H-tree clock* com interconexões não-ideais será analisada detalhadamente.

4.4.2.1 Análise da rede a 10 GHz

As redes com interconexões não-ideais serão analisadas na frequência de 10 GHz, para diferentes comprimentos. Primeiramente, o nível lógico baixo (*NB*), o nível lógico alto (*NA*), o tempo de subida (t_r) e o *slew rate* de subida (*SR*) foram obtidos, conforme mostra a Tabela 4.10. Com base nessa tabela, verifica-se que, na frequência de 10 GHz, essas características não foram modificadas pelas interconexões não-ideais, independentemente do comprimento. Os valores dos parâmetros são iguais aos obtidos na rede com interconexão ideal, conforme Tabela 4.7. O sinal obtido na saída de cada inversor é igual ao ilustrado na Figura 4.7.

Tabela 4.10. Níveis lógicos, tempo de subida e *slew rate* dos sinais de saída para interconexões não-ideais a 10 GHz.

Freq.	L (l/2;l)	Material	NB(mV)	NA(mV)	t_r(ps)	SR(V/ns)
10 GHz	50nm;	SWCNT <i>bundle</i>	67.5	451.8	3.56	86.36
	100nm	Cobre	67.5	451.8	3.56	86.36
	200nm;	SWCNT <i>bundle</i>	67.5	451.8	3.56	86.36
	400nm	Cobre	67.5	451.8	3.56	86.36
	500nm;	SWCNT <i>bundle</i>	67.5	451.8	3.56	86.36
	1μm	Cobre	67.5	451.8	3.56	86.36

A Tabela 4.11 mostra a atenuação, tempo de atraso, potência total dissipada e o produto atraso-potência obtidos a frequência de 10 GHz, para interconexões não-ideais. Observa-se que a atenuação do sinal e a potência total dissipada por cada porta inversora permanecem os mesmos em relação à interconexão ideal, mostrando que, a essa frequência, as interconexões não-ideais não interferem nestes parâmetros.

Já o atraso na propagação do sinal, no caso do cobre, aumenta à medida que as interconexões aumentam de comprimento, aumentando também o produto atraso-potência. Esse atraso chega a 6.6% do período do sinal de entrada, para a interconexão 500nm/1μm de cobre. No entanto, estes parâmetros não são afetados pelas interconexões de SWCNT *bundle*, indicando que este material se sobressai em relação ao cobre.

Tabela 4.11. Atenuação, atraso, potência e produto atraso-potência dos sinais de saída para interconexões não-ideais a 10 GHz.

Freq.	L (l/2;l)	Material	A (dB)	t_d (ps)	P (nW)	DP(10⁻¹⁸W.s)
10 GHz	50nm;	SWCNT <i>bundle</i>	-26.4	4.12	49.63	0.20
	100nm	Cobre	-26.4	4.12	49.63	0.20
	200nm;	SWCNT <i>bundle</i>	-26.4	4.12	49.63	0.20
	400nm	Cobre	-26.4	4.38	49.63	0.22
	500nm;	SWCNT <i>bundle</i>	-26.4	4.12	49.63	0.20
	1μm	Cobre	-26.4	6.59	49.63	0.33

4.4.2.2 Análise da rede a 100 GHz

As redes com interconexões não-ideais serão analisadas na frequência de 100 GHz, para diferentes comprimentos. O nível lógico baixo (*NB*), o nível lógico alto (*NA*), o tempo de subida (*t_r*) e o *slew rate* de subida (*SR*) foram obtidos, conforme mostra a Tabela 4.12. Já a

Tabela 4.13 mostra a atenuação, tempo de atraso, potência total dissipada e o produto atraso-potência obtidos a frequência de 100 GHz, para interconexões não-ideais.

Tabela 4.12. Níveis lógicos, tempo de subida e *slew rate* dos sinais de saída para interconexões não-ideais a 100 GHz.

Freq.	L (l/2;l)	Material	NB(mV)	NA(mV)	t_r(ps)	SR(V/ns)
100 GHz	50nm;	SWCNT <i>bundle</i>	67.8	427.2	3.16	90.99
	100nm	Cobre	67.5	427.7	3.23	91.07
	200nm;	SWCNT <i>bundle</i>	67.8	429.9	3.15	91.96
	400nm	Cobre	67.7	408.9	2.89	94.47
	500nm;	SWCNT <i>bundle</i>	67.8	441.8	3.00	99.73
	1μm	Cobre	63.5	176.6	1.02	67.95

Tabela 4.13. Atenuação, atraso, potência e produto atraso-potência dos sinais de saída para interconexões não-ideais a 100 GHz.

Freq.	L (l/2;l)	Material	A (dB)	t_d (ps)	P (nW)	DP(10⁻¹⁸W.s)
100 GHz	50nm;	SWCNT <i>bundle</i>	-27.03	1.89	60.88	0.12
	100nm	Cobre	-26.85	1.91	60.88	0.12
	200nm;	SWCNT <i>bundle</i>	-26.93	1.88	60.88	0.12
	400nm	Cobre	-26.98	2.28	60.88	0.14
	500nm;	SWCNT <i>bundle</i>	-26.73	1.74	60.88	0.11
	1μm	Cobre	-28.93	3.88	60.88	0.24

A partir das Tabelas 4.12 e 4.13, o SWCNT *bundle* será analisado. Observa-se que os seus níveis lógicos altos aumentam com o aumento do comprimento das interconexões, aumentando também o *slew rate* de subida. Esse comportamento ocorre provavelmente devido ao efeito ressonante provocado pela indutância, que provoca um pico no gráfico da frequência antes dele começar a decair, conforme explicado na subseção 4.2.1. Isso implica na diminuição da atenuação do sinal e do atraso. No entanto, o produto atraso-potência permanece praticamente invariável, já que a potência total dissipada não se altera.

Em relação às interconexões de cobre, verifica-se que as distorções são significativas. À medida que o comprimento aumenta, a atenuação do sinal de saída aumenta. Isso provoca diminuição no *slew rate* do sinal, o que não é desejado, já que o sinal demora mais para atingir o nível lógico alto. Além disso, o atraso na propagação do sinal aumenta bastante, chegando a 38.8% do período do sinal de entrada, para a interconexão 500nm/1μm. Consequentemente, o produto atraso-potência também aumenta, sendo o dobro do valor de

referência (interconexões ideais). A Figura 4.9 ilustra o sinal de saída da interconexão 500nm/1 μ m de cobre.

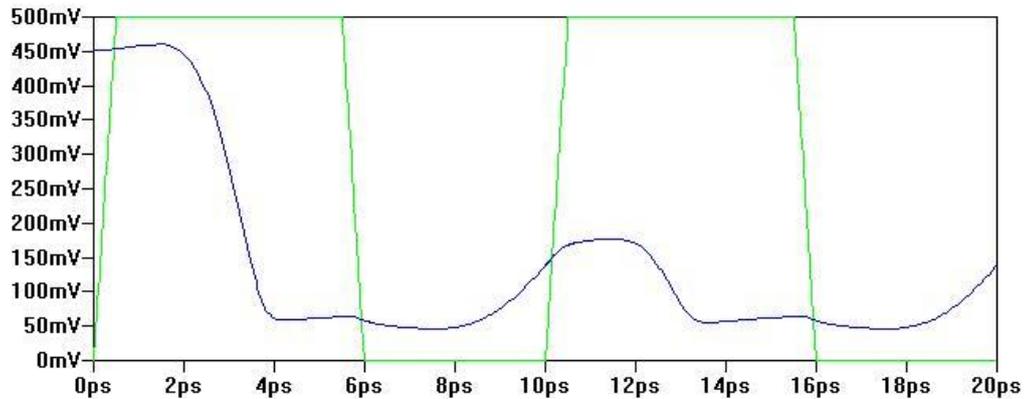


Figura 4.9. Sinal de entrada (em verde) e sinal de saída (em preto) da rede a 100 GHz, para a interconexão 500nm/1 μ m de cobre.

Comparando-se as potências das tabelas 4.7, 4.8, 4.11, 4.13, verifica-se que não há alteração na potência total dissipada pelo circuito com interconexões ideais e pelos circuitos com interconexões não-ideais, para uma mesma frequência. Assim, é importante destacar que a dissipação de potência das interconexões de SWCNT *bundle* e de cobre não interfere na potência total dissipada pelo circuito.

4.4.3 Considerações Finais

Após analisar as interconexões locais de SWCNT, de SWCNT *bundle* e de cobre, verificou-se que as interconexões de SWCNT *bundle* possuem desempenho comparável ao das interconexões de cobre. Em relação às interconexões intermediárias, as de SWCNT *bundle* apresentam desempenho superior às de cobre. Já as interconexões de SWCNT isolado, tanto para interconexões locais como para interconexões intermediárias, apresentam desempenho inferior às interconexões de SWCNT *bundle* e de cobre, não sendo propícias a serem utilizadas em interconexões de circuitos integrados.

Na análise das interconexões não-ideais na rede *H-tree clock* mono-elétron, para a frequência de 10GHz, observou-se que o nível lógico baixo, o nível lógico alto, o tempo de subida, o *slew rate* de subida, a atenuação do sinal e a potência total dissipada por cada porta inversora permanecem os mesmos em relação à interconexão ideal, mostrando que,

para esta frequência, as interconexões não-ideais não interferem nestes parâmetros. Já o atraso na propagação do sinal, no caso do cobre, aumenta à medida que as interconexões aumentam de comprimento, aumentando também o produto atraso-potência. No entanto, estes parâmetros não são afetados pelas interconexões de SWCNT *bundle*, indicando que este material se sobressai em relação ao cobre.

Já para a rede *H-tree clock* mono-elétron a 100GHz, observou-se que o circuito com interconexões não-ideais afetou bastante os parâmetros em análise, se comparados aos obtidos para interconexões ideais. Verificou-se que as distorções provocadas pelas interconexões de cobre foram significativas, indicando que as interconexões de SWCNT *bundle* possuem melhor desempenho que as de cobre.

Assim, constata-se que as interconexões de SWCNT *bundle* são fortes candidatas a substituírem as interconexões de cobre em circuitos em escala giga (GSI) e tera (TSI).

5 CONCLUSÕES

Nesta dissertação, o estudo das interconexões de SWCNT, de SWCNT *bundle* e de cobre foi realizado, analisando e comparando os seus desempenhos para diferentes comprimentos. A partir desse estudo, verificou-se que as interconexões de SWCNT *bundle* possui desempenho comparável ao das interconexões de cobre, no caso de interconexões locais. Em relação às interconexões intermediárias, as de SWCNT *bundle* apresentam desempenho superior às de cobre.

As interconexões de SWCNT *bundle* e as interconexões de cobre foram então simuladas na rede *H-tree clock* de dois níveis, para diferentes comprimentos e frequências. Nos pontos de destino final da rede, foram colocadas portas inversoras formadas por SETs, permitindo a análise de circuitos nanoeletrônicos.

A partir da análise da rede *H-tree clock*, observou-se que as interconexões de SWCNT *bundle* possuem desempenho melhor que as de cobre, principalmente em relação ao *slew rate*, à atenuação, ao tempo de atraso e ao produto atraso-potência. Além disso, a dissipação de potência das interconexões não-ideais não interferem na potência total dissipada pelo circuito. Assim, as interconexões de SWCNT *bundle* são fortes candidatas a substituírem as interconexões de cobre em circuitos em escala giga (GSI) e tera (TSI).

Como perspectivas futuras, é importante analisar o efeito das interconexões de nanotubo de carbono em circuitos GSI e TSI com outras arquiteturas. A análise das interconexões de CNT também deve ser feita em circuitos com tecnologia MOS, permitindo a comparação entre diferentes tecnologias. Além disso, é interessante estudar outros tipos de materiais que possam ser utilizados como interconexões em circuitos integrados.

6 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] P. I. Hagouel, I. G. Karafyllidis, (2010). “Quantum mechanical tunnelling in nanoelectronic circuits: Design of a nanelectronic single-electron RAM”, In: *27th International Conference on Microelectronics (MIEL 2010)*, pp. 21-28.
- [2] B. Pruvost, K. Uchida, H. Mizuta, S. Oda, (2010). “Design of New Logic Architectures Utilizing Optimized Suspended-Gate Single-Electron Transistors”, In: *IEEE Transactions on Nanotechnology*, vol. 9, no. 4, pp. 504-512.
- [3] C. P. S. M. Nogueira, J. G. Guimarães, (2012). “Pattern Recognition Based on Auto-Associative Single-Electron Neural Network”, In: *Journal of Computational and Theoretical Nanoscience*, vol. 9, no. 7, pp. 974-979.
- [4] G. Lientschnig, I. Weymann, P. Hadley, (2003). “Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors”, In: *Jpn J. Appl. Phys.*, vol. 42, no. 10, pp. 6467-6472.
- [5] Y. S. Yu, S. W. Hwang, D. Ahn, (1999). “Macromodeling of Single-Electron Transistors for Efficient Circuit Simulation”, In: *IEEE Transactions on Electron Devices*, vol. 46, no. 8, pp. 1667-1671.
- [6] M. Karimian, M. Dousti, M. Pouyan, R. Faez, (2009). “A New SPICE Macro-Model for Simulation of Single Electron Circuits”, In: *2009 International Conference on Microelectronics*, pp. 228-231.
- [7] Y-L Wu, S-T Lin, (2003). “An Improved Single-Electron-Transistor Model for SPICE Application”, In: *Nanotech 2003*, vol. 3, no. 7, pp. 321-324.
- [8] N. Moezi, D. Dideban, A. Ketabi, (2008). “A Novel Integrated SET Based Inverter for Nano Power Electronic Applications”, In: *American J. of Engineering and Applied Sciences*, vol. 1, no. 3, pp. 219-222.

- [9] C. Gerousis, X. Wang, G. Toth, S. M. Goodnick, W. Porod, C. S. Lent, A. I. Csurgay, (2000). "Modeling Nanoelectronic CNN Cells: CMOS, SETS and QCAs", In: *ISCAS 2000*, vol. 1, no. , pp. I274-I-277.
- [10] J. G. Guimarães, (2005). "Arquiteturas de Redes Neurais Nanoeletrônicas para Processadores em escala Giga ou Tera". Tese de Doutorado, Universidade de Brasília. Brasília, Brasil.
- [11] H. B. Bakoglu, (1990). "Circuits, interconnections, and packaging for VLSI", Addison-Wesley Publishing Company, EUA.
- [12] V. G. A. Carneiro, J. G. Guimarães, J. C. da Costa, (2008). "Interconnection effects on the performance of basic subcircuits with single-electron tunneling devices", In: *Applied Surface Science*, vol. 255, no. 3, pp. 715-717.
- [13] N. Srivastava, H. Li, F. Kreupl, K. Banerjee, (2009). "On the Applicability of Single-Walled Carbon Nanotubes as VLSI Interconnects", In: *IEEE Transactions on Nanotechnology*, vol. 8, no. 4, pp. 542-558.
- [14] C. Thiruvenkatesan, J. Raja, (2009). "Studies on the Application of Carbon Nanotube as Interconnects for Nanometric VLSI Circuits", In: *ICETET'09*, pp. 162-167.
- [15] D. Das, H. Rahaman, (2010). "Timing Analysis in Carbon Nanotube Interconnects with Process, Temperature, and Voltage Variations", In: *2010 International Symposium on Electronic System Design*, pp. 27-32.
- [16] K-H. Koo, (2011). "Comparison Study of Future On-Chip Interconnects for High Performance VLSI Applications". Tese de Doutorado, Stanford University. California, USA.
- [17] A. Srivastava, Y. Xu, A. K. Sharma, (2010). "Carbon nanotubes for next generation very large scale integration interconnects", In: *Journal of Nanophotonics*, vol. 4, no. 041690, pp. 1-26.

- [18] A. Naeemi, R. Sarvari, J. D. Meindl, (2005). "Performance Comparison Between Carbon Nanotube and Copper Interconnects for Gigascale Integration (GSI)", In: *IEEE Electron Device Letters*, vol. 26, no. 2, pp. 84-86.
- [19] A. Naeemi, J. D. Meindl, (2007). "Design and Performance Modeling for Single-Walled Carbon Nanotubes as Local, Semiglobal, and Global Interconnects in Gigascale Integrated Systems", In: *IEEE Transactions on Electron Devices*, vol. 54, no. 1, pp. 26-37.
- [20] A. Naeemi, J. D. Meindl, (2008). "Performance Modeling for Single- and Multiwall Carbon Nanotubes as Signal and Power Interconnects in Gigascale Systems", In: *IEEE Transactions on Electron Devices*, vol. 55, no. 10, pp. 2574-2582.
- [21] ITRS, (2011). "International Technology Roadmap for Semiconductors- Emerging Research Devices". <http://www.itrs.net/> (acessado em julho de 2012).
- [22] M. S. Bakir, J. D. Meindl, (2009). "Integrated Interconnect Technologies for 3D Nanoelectronic Systems", Artech House, EUA.
- [23] N. Kuruvilla, J. P. Raina, (2009). "Carbon Nanotubes – A Solution for Tera Hertz's IC Interconnect", In: *International Journal of Recent Trends in Engineering*, vol. 1, no. 4, pp. 32-36.
- [24] P. R. Bandaru, (2007). "Electrical Properties and Applications of Carbon Nanotube Structures", In: *Journal of Nanoscience and Nanotechnology*, vol. 7, no. 3, pp. 1-29.
- [25] N. Kuruvilla, J. P. Raina, (2008). "Statistical Latency Analysis of Carbon Nanotube Interconnects due to Contact Resistance Variations", In: *International Conference on Microelectronics*, pp. 296-299.
- [26] M. S. Rahaman, M. H. Chowdhury (2009). "Information Theoretic Capacity Analysis of Single-Walled Carbon Nanotube Bundle VLSI Interconnects", In: *ISIC'09*, pp. 530-533.

- [27] A. Raychowdhury, K. Roy, (2004). "A Circuit Model for Carbon Nanotube Interconnects: Comparative Study with Cu Interconnects for Scaled Technologies", In: *ICCAD'04*, pp. 237-240.
- [28] A. Raychowdhury, K. Roy, (2006). "Modeling of Metallic Carbon-Nanotube Interconnects for Circuit Simulations and a Comparison with Cu Interconnects for Scaled Technologies", In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 25, no. 1, pp. 58-65.
- [29] K. Banerjee, N. Srivastava, (2006). "Are Carbon Nanotubes the Future of VLSI Interconnections?", In: *DAC'06*, pp. 809-814.
- [30] N. Srivastava, R. V. Joshi, K. Banerjee, (2005). "Carbon Nanotube Interconnects: Implications for Performance, Power Dissipation and Thermal Management", In: *Electron Devices Meeting*, pp. 249-252.
- [31] H. Li, W-Y. Yin, K. Banerjee, J-F. Mao, (2008). "Circuit Modeling and Performance Analysis of Multi-Walled Carbon Nanotube Interconnects", In: *IEEE Transactions on Electron Devices*, vol. 55, no. 6, pp. 1328-1337.
- [32] N. Srivastava, K. Banerjee, (2005). "Performance Analysis of Carbon Nanotube Interconnects for VLSI Applications", In: *ICCAD'05*, pp. 383-390.
- [33] H. Li, W-Y. Yin, J-F. Mao, (2006). "Modeling of Carbon Nanotube Interconnects and Comparative Analysis with Cu Interconnects", In: *Proceedings of Asia-Pacific Microwave Conference 2006*, pp. 1361-1364.
- [34] A. Nieuwoudt, Y. Massoud, (2007). "On the Impact of Process Variations for Carbon Nanotube Bundles for VLSI Interconnect", In: *IEEE Transactions on Electron Devices*, vol. 54, no. 3, pp. 446-455.
- [35] P. J. Burke, (2002). "Luttinger Liquid Theory as a Model of the Gigahertz Electrical Properties of Carbon Nanotubes", In: *IEEE Transactions on Nanotechnology*, vol. 1, no. 3, pp. 129-144.

- [36] N. Alam, A. K. Kureshi, M. Hasan, T. Arslan (2009). “Analysis of Carbon Nanotube Interconnects and their Comparison with Cu Interconnects”, In: *IMPACT'09*, pp. 124-127.
- [37] Y. Xu, A. Srivastava, A. K. Sharma, (2010). “Emerging Carbon Nanotube Electronic Circuits, Modeling, and Performance”, In: *Journal VLSI Design*, vol. 2010, no. 7, pp. 1-8.
- [38] N. Alam, A. K. Kureshi, M. Hasan, and T. Arslan, (2009). “Performance Comparison and Variability Analysis of CNT Bundle and Cu Interconnects”, In: *IMPACT'09*, pp. 169-172.
- [39] M. K. Rai, S. Sarkar, (2011). “Carbon Nanotube as VLSI Interconnect”, In: *Electronic Proprieties of Carbon Nanotube*, pp. 475-494.
- [40] Y. Xu, A. Srivastava, (2010). “A model for carbon nanotube interconnects”, In: *Int. J. Circ. Theor. Appl.* 2010, vol. 38, no. 6, pp. 559–575.
- [41] S-C. Wong, T. G-Y. Lee, D-J. Ma, C-J. Chao, (2000). “An Empirical Three-Dimensional Crossover Capacitance Model for Multilevel Interconnect VLSI Circuits”, In: *IEEE Transactions on Semiconductor Manufacturing*, vol. 13, no. 2, pp. 219-227.
- [42] Sedra A. S., K. C. Smith, (2007). “Microeletrônica”, Pearson Prentice Hall, Brasil.
- [43] K. K. Likharev, (1987). “Single-electron transistors electrostatic analogs of the DC SQUIDS”, In: *IEEE Transactions on Magnetics*, 23, pp. 1142-1145.
- [44] “The SPICE Source for: Simulating Hybrid Circuits of Single-Electron Transistors and Fied Effect Transistors”, <http://lamp.tu-graz.ac.at/~hadley/set/spice/> (acessado em agosto de 2012).
- [45] E. G. Friedman, (2001). “Clock Distribution Networks in Synchronous Digital Integrated Circuits”, In: *Proceedings of the IEEE*, vol. 89, no. 5, pp. 665-692.

- [46] L. Y. Siang, B. A. B. Rosdi, T. E. Keong, T. C. Forng, C. L. S. Xying, (2011). “An Automated Clock Distribution Topology in SoC Designs”, In: *2011 IEEE Symposium on Industrial Electronics and Applications (ISIEA2011)*, pp. 454-458.
- [47] W. Condley, X. Hu, M. R. Guthaus, (2010). “Analysis of High-Performance Clock Networks with RLC and Transmission Line Effects”, In: *System-Level Interconnect Prediction Workshop 2010 (SLIP' 10)*, pp. 51-58.
- [48] Y. Xie, S. Eachempati, A. Yanamandra, V. Narayanan, M. J. Irwin, (2009). “Power and Area Reduction using Carbon Nanotube Bundle Interconnect in Global Clock Tree Distribution Network”, In: *2009 IEEE/ACM International Symposium on Nanoscale Architectures*, pp. 51-56.
- [49] V. Ganti, H. Mahmoodi, (2011). “Comparative Analysis of Copper and CNT Interconnects for H-Tree Clock Distribution”, In: *2011 IEEE 29th International Conference on Computer Design (ICCD)*, pp. 447-448.
- [50] P. J. Restle, T. G. McNamara, D. A. Webber, P. J. Camporese, K. F. Eng, K. A. Jenkins, D. H. Allen, M. J. Rohn, M. P. Quaranta, D. W. Boerstler, C. J. Alpert, C. A. Carter, R. N. Bailey, J. G. Petrovic, B. L. Krauter, and B. D. McCredie, (2001). “A Clock Distribution Network for Microprocessors”, In: *IEEE Journal of Solid-State Circuits*, vol. 36, no. 5, pp. 792-799.
- [51] J. Rosenfeld, E. G. Friedman, (2007). “Design Methodology for Global Resonant H-Tree Clock Distribution Networks”, In: *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 15, no. 2, pp. 135-148.
- [52] Linear Technology, <http://www.linear.com/designtools/software/#LTspice> (acessado em agosto de 2012).
- [53] J. Rosenfeld, E. G. Friedman, (2009). “Quasi-Resonant Interconnects: A Low Power, Low Latency Design Methodology”, In: *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 17, no. 2, pp. 181-193.

7 APÊNDICES

7.1 TABELAS COMPLEMENTARES

Tabela 7.1. Parâmetros obtidos a partir do modelo de SWCNT isolado.

L	R_Q (Ω)	R_S (Ω)	L_{CNT} (10⁻⁹H)	C_{CNT} (10⁻¹⁸F)
10 nm	6,45·10 ³	-	4,00·10 ⁻²	2,79·10 ⁻¹
100 nm	6,45·10 ³	-	4,00·10 ⁻¹	2,79
200 nm	6,45·10 ³	-	8,00·10 ⁻¹	5,58
300 nm	6,45·10 ³	-	1,20	8,37
400 nm	6,45·10 ³	-	1,60	1,12·10 ¹
500 nm	6,45·10 ³	-	2,00	1,40·10 ¹
600 nm	6,45·10 ³	-	2,40	1,67·10 ¹
700 nm	6,45·10 ³	-	2,80	1,95·10 ¹
800 nm	6,45·10 ³	-	3,20	2,23·10 ¹
900 nm	6,45·10 ³	-	3,60	2,51·10 ¹
1 μm	6,45·10 ³	-	4,00	2,79·10 ¹
10 μm	6,45·10 ³	6,45·10 ⁴	4,00·10 ¹	2,79·10 ²
100 μm	6,45·10 ³	6,45·10 ⁵	4,00·10 ²	2,79·10 ³
200 μm	6,45·10 ³	1,29·10 ⁶	8,00·10 ²	5,58·10 ³
300 μm	6,45·10 ³	1,94·10 ⁶	1,20·10 ³	8,37·10 ³
400 μm	6,45·10 ³	2,58·10 ⁶	1,60·10 ³	1,12·10 ⁴
500 μm	6,45·10 ³	3,23·10 ⁶	2,00·10 ³	1,40·10 ⁴

Tabela 7.2. Parâmetros obtidos a partir do modelo de SWCNT *bundle*.

L	R_Q (Ω)	R_S (Ω)	L_{Bundle} (10⁻⁹H)	C_{Bundle} (10⁻¹⁸F)
10 nm	10,75	-	6,67·10 ⁻⁵	1,35
100 nm	10,75	-	6,67·10 ⁻⁴	1,35·10 ¹
200 nm	10,75	-	1,33·10 ⁻³	2,70·10 ¹
300 nm	10,75	-	2,00·10 ⁻³	4,05·10 ¹
400 nm	10,75	-	2,67·10 ⁻³	5,40·10 ¹
500 nm	10,75	-	3,33·10 ⁻³	6,75·10 ¹
600 nm	10,75	-	4,00·10 ⁻³	8,10·10 ¹
700 nm	10,75	-	4,67·10 ⁻³	9,45·10 ¹
800 nm	10,75	-	5,33·10 ⁻³	1,08·10 ²
900 nm	10,75	-	6,00·10 ⁻³	1,22·10 ²
1 μm	10,75	-	6,67·10 ⁻³	1,35·10 ²
10 μm	10,75	1,08·10 ²	6,67·10 ⁻²	1,35·10 ³
100 μm	10,75	1,08·10 ³	6,67·10 ⁻¹	1,35·10 ⁴
200 μm	10,75	2,15·10 ³	1,33	2,70·10 ⁴
300 μm	10,75	3,23·10 ³	2,00	4,05·10 ⁴
400 μm	10,75	4,30·10 ³	2,67	5,40·10 ⁴
500 μm	10,75	5,38·10 ³	3,33	6,75·10 ⁴

Tabela 7.3. Parâmetros obtidos a partir do modelo de cobre.

L	R_{Cu} (Ω)	L_{Cu} (10⁻⁹H)	C_{Cu} (10⁻¹⁸F)
10 nm	0,6	$3,73 \cdot 10^{-6}$	1,50
100 nm	6,0	$6,36 \cdot 10^{-5}$	$1,50 \cdot 10^1$
200 nm	12,0	$1,75 \cdot 10^{-4}$	$3,00 \cdot 10^1$
300 nm	18,0	$3,09 \cdot 10^{-4}$	$4,50 \cdot 10^1$
400 nm	24,0	$4,54 \cdot 10^{-4}$	$6,00 \cdot 10^1$
500 nm	30,0	$6,11 \cdot 10^{-4}$	$7,50 \cdot 10^1$
600 nm	36,0	$7,75 \cdot 10^{-4}$	$9,00 \cdot 10^1$
700 nm	42,0	$9,46 \cdot 10^{-4}$	$1,05 \cdot 10^2$
800 nm	48,0	$1,12 \cdot 10^{-3}$	$1,20 \cdot 10^2$
900 nm	54,0	$1,31 \cdot 10^{-3}$	$1,35 \cdot 10^2$
1 μm	60,0	$1,49 \cdot 10^{-3}$	$1,50 \cdot 10^2$
10 μm	$6,0 \cdot 10^2$	$2,40 \cdot 10^{-2}$	$1,50 \cdot 10^3$
100 μm	$6,0 \cdot 10^3$	$3,32 \cdot 10^{-1}$	$1,50 \cdot 10^4$
200 μm	$1,2 \cdot 10^4$	$7,20 \cdot 10^{-1}$	$3,00 \cdot 10^4$
300 μm	$1,8 \cdot 10^4$	1,13	$4,50 \cdot 10^4$
400 μm	$2,4 \cdot 10^4$	1,55	$6,00 \cdot 10^4$
500 μm	$3,0 \cdot 10^4$	1,98	$7,50 \cdot 10^4$

Tabela 7.4. Frequência em -3dB das interconexões locais.

Comprimento	Material	f_{-3dB}
10 nm	SWCNT isolado	253 GHz
	SWCNT <i>bundle</i>	66 THz
	Cobre	232 THz
100 nm	SWCNT isolado	300 GHz
	SWCNT <i>bundle</i>	20 THz
	Cobre	51 THz
200 nm	SWCNT isolado	342 GHz
	SWCNT <i>bundle</i>	14 THz
	Cobre	29 THz
300 nm	SWCNT isolado	344 GHz
	SWCNT <i>bundle</i>	11 THz
	Cobre	20 THz
400 nm	SWCNT isolado	329 GHz
	SWCNT <i>bundle</i>	8.9 THz
	Cobre	15 THz
500 nm	SWCNT isolado	307 GHz
	SWCNT <i>bundle</i>	7.6 THz
	Cobre	12 THz
600 nm	SWCNT isolado	288 GHz
	SWCNT <i>bundle</i>	6.7 THz
	Cobre	9.4 THz
700 nm	SWCNT isolado	271 GHz
	SWCNT <i>bundle</i>	6.1 THz
	Cobre	7.6 THz
800 nm	SWCNT isolado	255 GHz
	SWCNT <i>bundle</i>	5.5 THz
	Cobre	6.3 THz
900 nm	SWCNT isolado	240 GHz
	SWCNT <i>bundle</i>	5.1 THz
	Cobre	5.2 THz
1 μm	SWCNT isolado	230 GHz
	SWCNT <i>bundle</i>	4.7 THz
	Cobre	4.2 THz

Tabela 7.5. Frequência em -3dB das interconexões intermediárias.

Comprimento	Material	f_{-3dB}
10 μm	SWCNT isolado	2.6 GHz
	SWCNT <i>bundle</i>	527 GHz
	Cobre	34 GHz
100 μm	SWCNT isolado	32 MHz
	SWCNT <i>bundle</i>	4.2 GHz
	Cobre	345 MHz
200 μm	SWCNT isolado	8.2 MHz
	SWCNT <i>bundle</i>	1.0 GHz
	Cobre	87 MHz
300 μm	SWCNT isolado	3.6 MHz
	SWCNT <i>bundle</i>	455 MHz
	Cobre	38 MHz
400 μm	SWCNT isolado	2.1 MHz
	SWCNT <i>bundle</i>	256 MHz
	Cobre	21 MHz
500 μm	SWCNT isolado	1.3 MHz
	SWCNT <i>bundle</i>	165 MHz
	Cobre	14 MHz

8 ANEXOS

8.1 CÓDIGO SPICE DO SET [44]

```
*Transistor mono-elétron (SET)
*conexões: fonte
*          | dreno
*          | | porta1
*          | | | porta2
*          | | | |
.SUBCKT SET 1 2 3 4 PARAMS:

+C1=1E-20          ; Capacitância da junção 1
+C2=1E-20          ; Capacitância da junção 2
+R1=1E5            ; Resistência da junção 1
+R2=1E5            ; Resistência da junção 2
+Cg1=0.15E-18     ; Capacitância da junção 1
+Cg2=0             ; Capacitância da junção 2
+C0=0              ; Capacitância própria da ilha
+Q0=0.05           ; Carga offset em unidades de e
+TEMP=300          ; Temperatura

.PARAM E=1.60217733E-19 ; Carga do elétron (e)
.PARAM CSUM={C1+C2+Cg1+Cg2+C0} ; Capacitância total do SET
.PARAM T={TEMP*CSUM*5.3785467E14} ; Temperatura normalizada, 5.3785467E14 =
kB/e^2
.PARAM RN1={R1/(R1+R2)} ; Resistência da junção 1 normalizada
.PARAM RN2={R2/(R1+R2)} ; Resistência da junção 2 normalizada

.FUNC Q(v1,v2,v3,v4) { (Cg1*v3+Cg2*v4+C1*v1+C2*v2)/E+Q0 } ; Definição da carga em
unidades de e

.FUNC VN(v) { CSUM*v/E } ; Tensão normalizada

.FUNC GAMMA(u) { IF(T==0,IF(u<0,-u,0),IF(u==0,T,u/(EXP(u/T)-1))) } ;

.FUNC N_OPT(v1,v2,v3,v4) { ROUND(-Q(v1,v2,v3,v4)+(CSUM/E)*
(v1*RN2+v2*RN1)) } ; A maior probabilidade de carga na ilha em unidades de e

***** Os quarto eventos túneis*****

.FUNC R1L(n,v1,v2,v3,v4) { GAMMA(0.5 - n - Q(v1,v2,v3,v4) + VN(v1))/RN1 }
.FUNC R1R(n,v1,v2,v3,v4) { GAMMA(0.5 + n + Q(v1,v2,v3,v4) - VN(v1))/RN1 }
.FUNC R2L(n,v1,v2,v3,v4) { GAMMA(0.5 + n + Q(v1,v2,v3,v4) - VN(v2))/RN2 }
.FUNC R2R(n,v1,v2,v3,v4) { GAMMA(0.5 - n - Q(v1,v2,v3,v4) + VN(v2))/RN2 }
```

* determinação das probabilidades relativas; assume-se inicialmente que o estado da carga N_OPT tem probabilidade relativa igual a um

```
.FUNC PN_1(n,v1,v2,v3,v4) {(R1L(n,v1,v2,v3,v4)+R2R(n,v1,v2,v3,v4))/(R1R(n-1,v1,v2,v3,v4)+R2L(n-1,v1,v2,v3,v4))}
```

```
.FUNC PN_2(n,v1,v2,v3,v4) { PN_1(n,v1,v2,v3,v4)*
+(R1L(n-1,v1,v2,v3,v4)+R2R(n-1,v1,v2,v3,v4))/(R1R(n-2,v1,v2,v3,v4)+R2L(n-2,v1,v2,v3,v4))}
```

```
.FUNC PN_3(n,v1,v2,v3,v4) { PN_2(n,v1,v2,v3,v4)*
+(R1L(n-2,v1,v2,v3,v4)+R2R(n-2,v1,v2,v3,v4))/(R1R(n-3,v1,v2,v3,v4)+R2L(n-3,v1,v2,v3,v4))}
```

```
.FUNC PN_4(n,v1,v2,v3,v4) { PN_3(n,v1,v2,v3,v4)*
+(R1L(n-3,v1,v2,v3,v4)+R2R(n-3,v1,v2,v3,v4))/(R1R(n-4,v1,v2,v3,v4)+R2L(n-4,v1,v2,v3,v4))}
```

```
.FUNC PN_5(n,v1,v2,v3,v4) { PN_4(n,v1,v2,v3,v4)*
+(R1L(n-4,v1,v2,v3,v4)+R2R(n-4,v1,v2,v3,v4))/(R1R(n-5,v1,v2,v3,v4)+R2L(n-5,v1,v2,v3,v4))}
```

```
.FUNC PN1(n,v1,v2,v3,v4) {(R2L(n,v1,v2,v3,v4)
+R1R(n,v1,v2,v3,v4))/(R2R(n+1,v1,v2,v3,v4)+R1L(n+1,v1,v2,v3,v4))}
```

```
.FUNC PN2(n,v1,v2,v3,v4) { PN1(n,v1,v2,v3,v4)*
+(R2L(n+1,v1,v2,v3,v4)+R1R(n+1,v1,v2,v3,v4))/(R2R(n+2,v1,v2,v3,v4)+R1L(n+2,v1,v2,v3,v4))
}}
```

```
.FUNC PN3(n,v1,v2,v3,v4) { PN2(n,v1,v2,v3,v4)*
+(R2L(n+2,v1,v2,v3,v4)+R1R(n+2,v1,v2,v3,v4))/(R2R(n+3,v1,v2,v3,v4)+R1L(n+3,v1,v2,v3,v4))
}}
```

```
.FUNC PN4(n,v1,v2,v3,v4) { PN3(n,v1,v2,v3,v4)*
+(R2L(n+3,v1,v2,v3,v4)+R1R(n+3,v1,v2,v3,v4))/(R2R(n+4,v1,v2,v3,v4)+R1L(n+4,v1,v2,v3,v4))
}}
```

```
.FUNC PN5(n,v1,v2,v3,v4) { PN4(n,v1,v2,v3,v4)*
+(R2L(n+4,v1,v2,v3,v4)+R1R(n+4,v1,v2,v3,v4))/(R2R(n+5,v1,v2,v3,v4)+R1L(n+5,v1,v2,v3,v4))
}}
```

```
.FUNC PSUM(n,v1,v2,v3,v4)
{PN_5(n,v1,v2,v3,v4)+PN_4(n,v1,v2,v3,v4)+PN_3(n,v1,v2,v3,v4)+PN_2(n,v1,v2,v3,v4)
++PN_1(n,v1,v2,v3,v4)+1+PN1(n,v1,v2,v3,v4)+PN2(n,v1,v2,v3,v4)+PN3(n,v1,v2,v3,v4)
++PN4(n,v1,v2,v3,v4)+PN5(n,v1,v2,v3,v4) }
```

***** cálculo da corrente da fonte para o dreno *****

```
.FUNC CUR(n,v1,v2,v3,v4) { PN_5(n,v1,v2,v3,v4)*(R1R(n-5,v1,v2,v3,v4)-R1L(n-5,v1,v2,v3,v4))
    ++PN_4(n,v1,v2,v3,v4)*(R1R(n-4,v1,v2,v3,v4)-R1L(n-4,v1,v2,v3,v4))
    ++PN_3(n,v1,v2,v3,v4)*(R1R(n-3,v1,v2,v3,v4)-R1L(n-3,v1,v2,v3,v4))
    ++PN_2(n,v1,v2,v3,v4)*(R1R(n-2,v1,v2,v3,v4)-R1L(n-2,v1,v2,v3,v4))
    ++PN_1(n,v1,v2,v3,v4)*(R1R(n-1,v1,v2,v3,v4)-R1L(n-1,v1,v2,v3,v4))
    ++(R1R(n,v1,v2,v3,v4)-R1L(n,v1,v2,v3,v4))
    ++PN1(n,v1,v2,v3,v4)*(R1R(n+1,v1,v2,v3,v4)-R1L(n+1,v1,v2,v3,v4))
    ++PN2(n,v1,v2,v3,v4)*(R1R(n+2,v1,v2,v3,v4)-R1L(n+2,v1,v2,v3,v4))
    ++PN3(n,v1,v2,v3,v4)*(R1R(n+3,v1,v2,v3,v4)-R1L(n+3,v1,v2,v3,v4))
    ++PN4(n,v1,v2,v3,v4)*(R1R(n+4,v1,v2,v3,v4)-R1L(n+4,v1,v2,v3,v4))
    ++PN5(n,v1,v2,v3,v4)*(R1R(n+5,v1,v2,v3,v4)-R1L(n+5,v1,v2,v3,v4)) }
```

```
.FUNC CURRENT(n,v1,v2,v3,v4)
{E*CUR(n,v1,v2,v3,v4)/(CSUM*PSUM(n,v1,v2,v3,v4)*(R1+R2))}
```

***** cálculo da tensão da ilha *****

```
.FUNC VOLT(n,v1,v2,v3,v4) { PN_5(n,v1,v2,v3,v4)*(n-5+Q(v1,v2,v3,v4))
    ++PN_4(n,v1,v2,v3,v4)*(n-4+Q(v1,v2,v3,v4))
    ++PN_3(n,v1,v2,v3,v4)*(n-3+Q(v1,v2,v3,v4))
    ++PN_2(n,v1,v2,v3,v4)*(n-2+Q(v1,v2,v3,v4))
    ++PN_1(n,v1,v2,v3,v4)*(n-1+Q(v1,v2,v3,v4))
    ++n+Q(v1,v2,v3,v4)
    ++PN1(n,v1,v2,v3,v4)*(n+1+Q(v1,v2,v3,v4))
    ++PN2(n,v1,v2,v3,v4)*(n+2+Q(v1,v2,v3,v4))
    ++PN3(n,v1,v2,v3,v4)*(n+3+Q(v1,v2,v3,v4))
    ++PN4(n,v1,v2,v3,v4)*(n+4+Q(v1,v2,v3,v4))
    ++PN5(n,v1,v2,v3,v4)*(n+5+Q(v1,v2,v3,v4)) }
```

```
.FUNC VOLTAGE(n,v1,v2,v3,v4) { (E/CSUM)*VOLT(n,v1,v2,v3,v4)/PSUM(n,v1,v2,v3,v4) }
```

```
E1 5 0 VALUE=
```

```
{VOLTAGE(N_OPT(V(1),V(2),V(3),V(4)),V(1),V(2),V(3),V(4))} ; Tensão da ilha
```

```
G1 1 2 VALUE=
```

```
{CURRENT(N_OPT(V(1),V(2),V(3),V(4)),V(1),V(2),V(3),V(4))} ; Corrente da fonte para o dreno
```

```
CT1 1 5 {C1}
```

```
CT2 2 5 {C2}
```

```
CGATE1 3 5 {CG1}
```

```
CGATE2 4 5 {CG2}
```

```
.ENDS SET
```